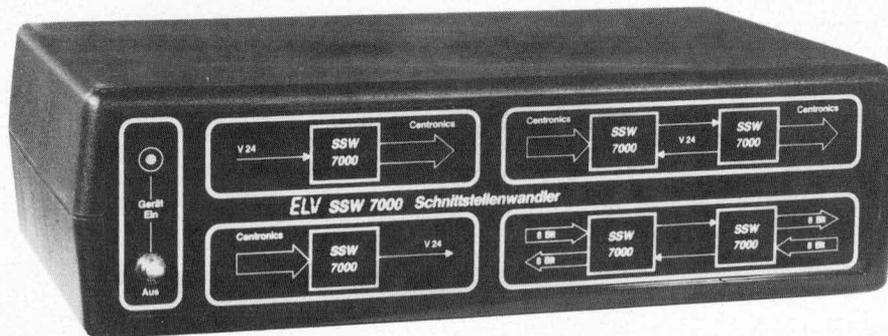


Schnittstellenwandler SSW 7000



Der ELV-Schnittstellenwandler SSW 7000 dient zum Umsetzen von Signalen einer Parallel-Schnittstelle (Centronics) auf die Signale einer Seriell-Schnittstelle (V 24/RS 232 C). Hierzu wird der UART des Typs IM 6402 (Universal Asynchronus Receiver Transmitter) eingesetzt.

Die komplette Schaltung ist auf einer 100 x 160 mm großen Europakarte untergebracht und kann sowohl im Gehäuse der ELV-Serie-7000 oder in einem anderen Gehäuse für Europakarten eingesetzt werden. Das vorliegende Gerät vereinigt 4 verschiedene Einsatzgebiete auf einer Platine. Diese sind im folgenden:

- Umsetzung der Signale einer Parallel-Schnittstelle (Centronics) auf die Signale einer Seriell-Schnittstelle (V 24/RS 232 C)*
- Umsetzung der Signale einer Seriell-Schnittstelle (V 24/RS 232 C) auf die Signale einer Parallel-Schnittstelle (Centronics)*
- Verlängerung einer Parallel-Schnittstelle (Centronics), die normalerweise auf etwa 3 m begrenzt ist, auf 1 km und mehr*
- Übertragung von 8-Bit-Daten auf nur 2 Leitungen oder die bidirektionale Übertragung von 8 Bit auf einen dazugehörigen Empfänger und das Empfangen von 8-Bit-Statusinformationen von diesen mit nur 3 Leitungen. Die Informationen können mit einer Bandbreite von max. ca. 10 Hz übertragen werden, was aber normalerweise z. B. für entfernt gelegene Meßwertempfänger ausreicht.*

Der Schnittstellenwandler SSW 7000 vereinigt die Vorteile der Parallel-Schnittstelle (Centronics) und die der Seriell-Schnittstelle (V 24/RS 232 C). Der Vorteil der Centronics-Schnittstelle liegt in der einfachen Handhabung der 8-Bit parallel anliegenden Daten sowie dem einfachen Handshake-Verfahren, welches im Minimalfall mit der Strobe- und der Busy-Leitung auskommt. Der Nachteil dieser Schnittstelle ist allerdings die nur begrenzte Reichweite von ca. 3 m.

Die seriellen Schnittstellen V 24 und RS 232 C, die weitgehend identisch sind, haben den Vorteil einer relativ sicheren und weiten Übertragung von 1 km und mehr. Die Problematik dieser Schnittstellen liegt allerdings darin, daß die Signale mit einfachen Mitteln nicht zu verarbeiten sind.

Die ausführliche Beschreibung der V 24/RS 232 C-Schnittstelle ist bereits im „ELV journal“ Nr. 52 auf den Seiten 21 bis 25 ver-

öffentlicht worden. Das Verhalten der Centronics-Schnittstelle wurde im „ELV journal“ Nr. 53 auf den Seiten 23 bis 29 beschrieben. Aus diesen Gründen wird auf die detaillierte Beschreibung der beiden Schnittstellen in dieser Ausgabe verzichtet.

Der Baustein IM 6402

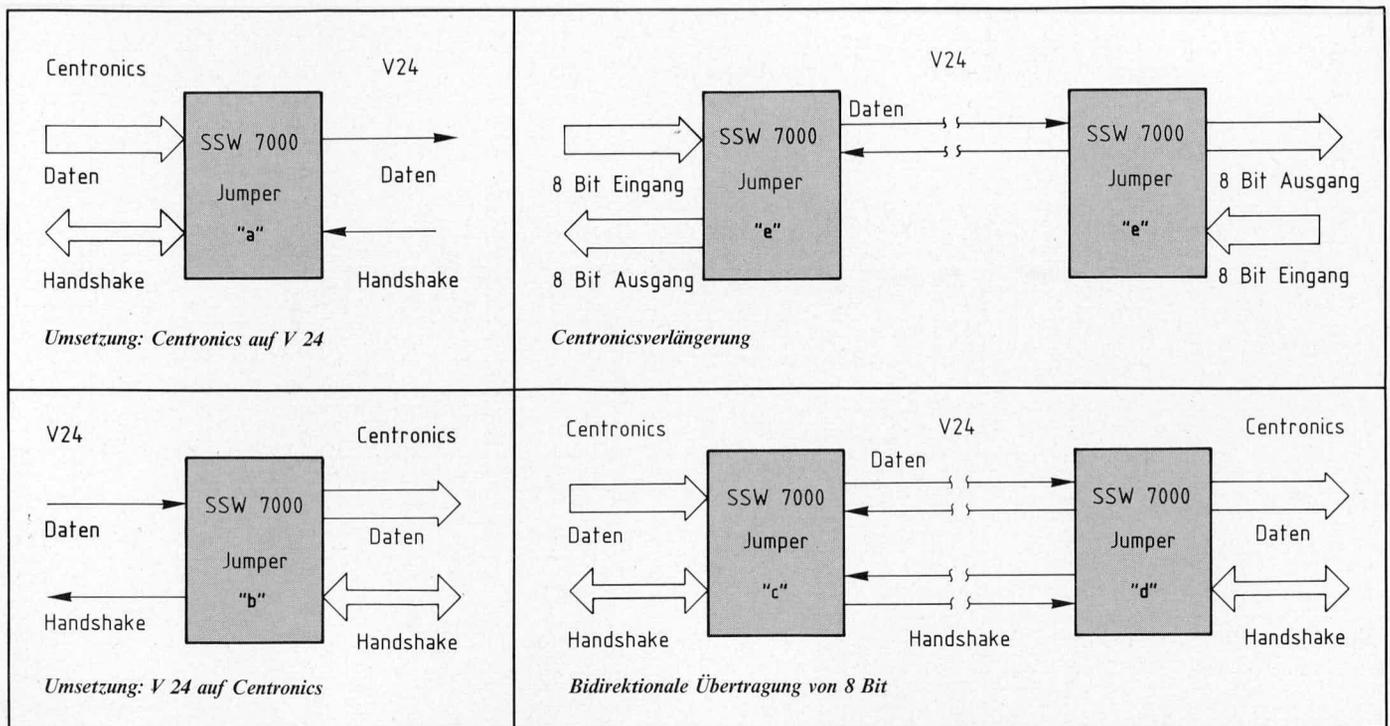
Der zentrale Baustein des SSW 7000-Schnittstellenwandlers ist der UART IM 6402. Hierbei handelt es sich um einen universellen asynchronen Sender und Empfänger, von Intersil. Dieses IC ist in CMOS-Technologie hergestellt, woraus sich ein sehr geringer Stromverbrauch ergibt. Es wird nur eine Spannungsversorgung von +5 V benötigt. Der Baustein kann sowohl in Mikroprozessorsystemen als auch in Stand-Alone-Lösungen verwendet werden. Dieses wird dadurch ermöglicht, daß die Statusinformationen für die serielle Schnittstelle wie z. B.

die Anzahl der zu übertragenden Datenbits sowie die Anzahl der Stopbits und der Paritätsmodus statisch angelegt werden können.

Außerdem werden die Kontrollinformationen Paritäts-, Rahmen- und Überlauffehler direkt über 3 Anschlußpins angezeigt. Diese Features sind bei den meisten UARTs nicht vorhanden. Bei den ICs müssen dann diese Informationen über den Datenbus geschrieben bzw. gelesen werden, was einen Mikroprozessor erfordert.

Aus dem oben genannten Grund befindet sich der IM 6402 in einem 40poligen DIL-Gehäuse. Die Anschlüsse des IM 6402 lassen sich in 3 Funktionsgruppen unterteilen:

1. Allgemeine Anschlüsse, die sowohl für die Parallel-Seriell- als auch für die Seriell-Parallel-Wandlung notwendig sind
2. Parallel-Seriellwandlung
3. Seriell-Parallelwandlung



Gemeinsame Anschlüsse für die Seriell-Parallel- und Parallel-Seriellwandlung

Alle Signale des UARTs haben TTL-Pegel. Mit „H“ wird ein „High-Signal“ bezeichnet, dessen Pegel auf Masse bezogen im allgemeinen zwischen 2,5 V und 5,0 V (typ. 4,5 V) liegt. Mit L wird ein „Low-Signal“ bezeichnet, dessen Pegel im allgemeinen zwischen 0 V und 0,7 V liegt.

Der Masseanschluß **GND** (0 V) wird an Pin 3 und die Spannungsversorgung **VCC** (+5 V) an Pin 1 angeschlossen. Nachdem die Spannungsversorgung eingeschaltet ist, muß dieser UART in einen definierten Anfangszustand gebracht werden. Dazu wird **MR** (Master Reset) für etwa 0,5 Sekunden auf „L“-Pegel gezogen. Ein „H“-Pegel an **SFD** (Status Flag Disable) setzt die Ausgänge **PE**, **FE**, **OE**, **DR**, **TBRE** in den Tristatezustand (hochohmig). Damit wird ermöglicht, diese Statusleitungen auf einen normalen Mikroprozessor-Datenbus zu geben, ohne daß dieser ständig blockiert ist. Für den Stand-Alone-Betrieb muß also der Eingang **SFD** auf „L“-Pegel gesetzt werden. Einen äquivalenten Anschluß stellt **CRL** (Control Register Load) dar, der die Übernahme der Statusinformationen für die serielle Schnittstelle steuert. Ein „H“-Pegel an diesem Eingang übernimmt die Statusinformationen **PI**, **SBS**, **EPE**, **CLS 1** und **2**.

Die „Tristate“-Steuerung der Datenausgänge **RBR 1** bis **RBR 8** erfolgt über die Steuerleitung **RRD** (Receiver Register Disable). Ein „H“-Pegel an diesem Eingang setzt die besagten 8 Datenbits in den „Tristate“-Zustand.

Der Eingang **PI** (Parity Inhibit) gibt bei einem „L“-Pegel die Erzeugung eines Parity-Bits bzw. die Prüfung eines Paritätsbits frei. Die Polarität des Paritätsbits wird durch den Eingang **EPE** (Even Parity Enable) festgelegt. Ein „L“-Pegel an diesem Eingang generiert bzw. überprüft ein ungerades Paritätsbit. Der Eingang **SBS** (Stop Bit Select) legt die Anzahl der Stopbits fest. Mit einem „H“-

Pegel werden bei einer 5-Bit-Übertragung 1,5 und sonst 2 Stopbits generiert. Ein „L“-Pegel erzeugt 1 Stopbit. **CLS 1, 2** (Character Length Selected) legen fest, wieviel Datenbits übertragen werden sollen. Die genaue Einstellung ist der nachfolgenden Tabelle I zu entnehmen.

Tabelle I		
Einstellung der zu übertragenden Datenbits		
CLS 2	CLS 1	Datenbits
0	0	5 Bits
0	1	6 Bits
1	0	7 Bits
1	1	8 Bits

Parallel-Seriell-Wandlung

Mit einem „LH“-Übergang an dem Eingang **TBRL** (Transmitter Buffer Register Load) werden die an dem 8-Bit-Eingangsports **TBR 1** bis **TBR 8** anliegenden Daten in das Sendepuffer-Register übernommen. Sobald das Senderegister leer ist, werden diese Daten automatisch in dieses transferiert und mit Start-, Stop- und Paritätsinformationen versehen über den Ausgang **TRO** (Transmitter Register Output) ausgegeben. Ist das Sendepuffer-Register leer, so wird dieses angezeigt durch einen „H“-Pegel an dem Ausgang **TBRE** (Transmitter Buffer Register Empty). Sind die Daten an **TRO** „herausgeschoben“, so wird dieses durch einen „H“-Pegel an dem Ausgang **TRE** (Transmitter Register Empty) angezeigt. Die Baudrate, mit der die seriellen Daten übertragen werden, wird mit dem Eingang **TRC** (Transmitter Register Clock) festgelegt. Hierzu liegt am Eingang **TRC** eine Frequenz an, die dem 16fachen der Baudrate entspricht.

Seriell-Parallel-Wandlung

Die über den seriellen Empfängereingang **RRI** (Receiver Register Input) empfangenen Daten werden in ein internes Schieberegister

übernommen. Die Taktgeschwindigkeit mit der die Information „geschoben“ wird, bestimmt die Übernahmefrequenz, welche durch den Eingang **RRC** (Receiver Register Clock) bestimmt wird. Diese Taktfrequenz muß genauso wie die Sendertaktfrequenz das 16fache der Baudrate betragen. Nach der fallenden Flanke an dem Eingang **RRI** übernimmt das Schieberegister nach dem 8. Takt die Information, die an dem Eingang **RRI** anliegt. Die nächstfolgenden Bits werden alle 16 Takte detektiert. Nachdem die komplette Information eines Datenwortes eingelesen ist, wechselt der Ausgang **DR** (Data Received) auf „H“-Pegel. Dieses signalisiert der angeschlossenen Peripherie, daß ein Datenwort von der seriellen Schnittstelle angekommen ist. Um dieses Bit wieder zu löschen, muß die angeschlossene Peripherie mit einem kurzen „L“-Impuls an **DRR** (Data Received Reset) den Zustand des **DR**-Ausgangs löschen. Geschieht dieses nicht, so wird, nachdem das nächste Zeichen von der seriellen Schnittstelle empfangen worden ist, der Ausgang **OE** (Overrun Error) aktiviert. Dieser Fehlerzustand zeigt der angeschlossenen Peripherie an, daß die vorher parallel anliegende Date noch nicht abgeholt worden ist und somit verlorengeht. Die 8 Datenbits stehen an den Ausgängen **RBR 1** bis **RBR 8** (Receiver Buffer Register) an. Erkennt der UART das erste Stopbit der seriellen Information nicht, so wird der Ausgang **FE** (Framing Error) aktiviert. Dies könnte z. B. darauf hindeuten, daß der gegenüberliegende Sender oder der eigene Empfänger auf eine falsche Baudrate eingestellt ist. Außerdem wird bei freigegebenen Paritätscheck der Ausgang **PE** (Parity Error) aktiviert, sobald ein Paritätsfehler aufgetreten ist. Diese Informationen stehen an den Statusausgängen solange an, bis das nächste serielle Datum empfangen worden ist.

Damit ist die Beschreibung des IM 6402 abgeschlossen. Kommen wir jetzt zur Beschreibung der Schaltung bzw. der Schaltungsvarianten.

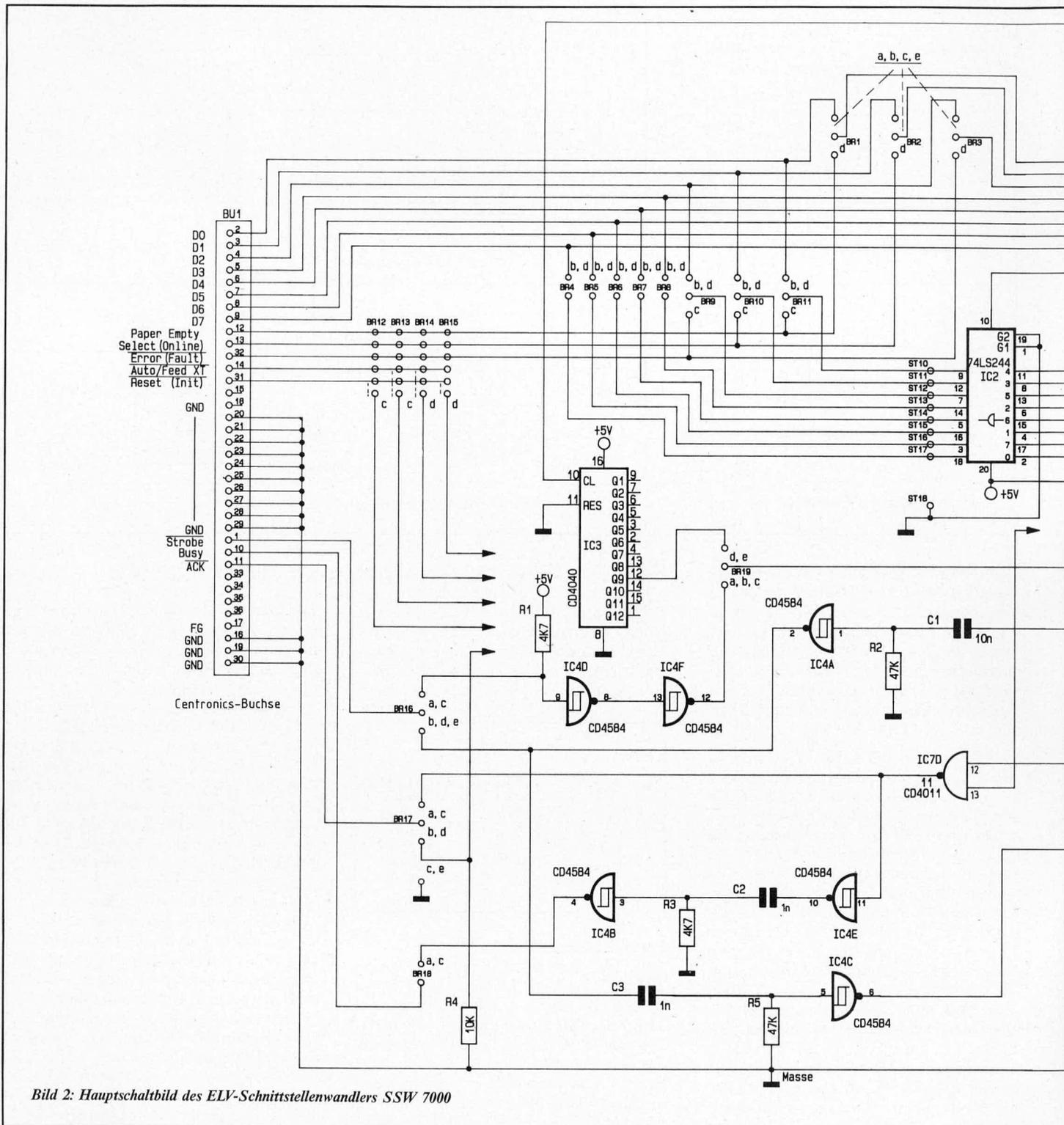


Bild 2: Hauptschaltbild des ELV-Schnittstellenwandlers SSW 7000

Zur Schaltung

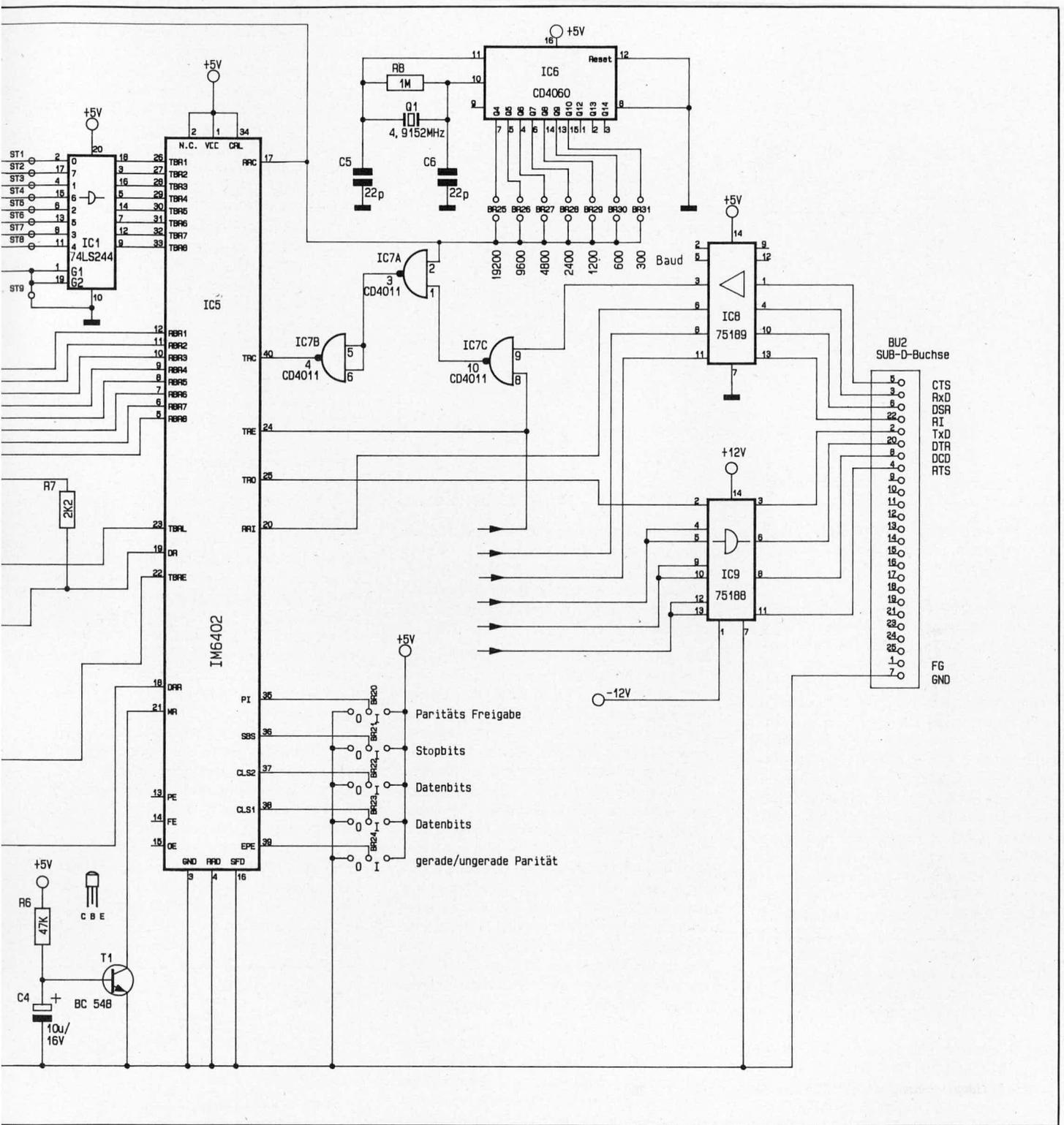
Die vorliegende Schaltung besteht aus 2 Teilen. Das Netzteil, wie im Bild 1 gezeigt, konnte relativ einfach gehalten werden. Es wird versorgt mit einer unstabilierten Gleichspannung von 12 V, die zur Speisung des V 24 Treiber ICs 9 (SN 75188) und des Spannungsreglers IC 10 dient, der die + 5 V-Spannungsversorgung für den Digitalteil der Schaltung sicherstellt. Mit Hilfe der Oszillatorschaltung bestehend aus IC 11 A mit den dazugehörigen Treibern und den passiven Bauteilen C 17, D 2 und D 3 sowie C 18 wird eine Spannung von -12 V generiert, um den Schnittstellentreiber IC 9 (SN 75188) mit einer negativen Spannung zu versorgen. Das Hauptschaltbild (Bild 2) zeigt alle 4

Schaltungsvarianten, die nachfolgend beschrieben werden, in einem Schaltbild. Als zentraler Baustein ist dort der UART IM 6402 eingesetzt worden. Dieser vereinigt beide Schnittstellentypen (Parallel nach Seriell und Seriell nach Parallel) in einem Baustein.

Der mit dem CMOS-Baustein CD 4060 (IC 6), R 8, Q 1 sowie C 5 und C 6 aufgebaute Oszillator versorgt den UART mit der erforderlichen Taktfrequenz für die serielle Übertragung. Die Baudrateneinstellung erfolgt über die Brücken Br 25 bis Br 31, wobei nur eine dieser Brücken gesteckt sein darf, um die Übertragungsraten einzustellen. Die Übertragungsgeschwindigkeit kann in weiten Bereichen zwischen 300 und 19 600 Baud

eingestellt werden, was eine Kommunikation mit fast allen gängigen Geräten, die eine Seriell-Schnittstelle (V 24) besitzen, sicherstellt. Durch diese Brückenreihe wird sowohl die Empfänger- als auch die Sendebaudrate eingestellt. Die Empfängertaktfrequenz wird direkt auf den Eingang RRC gegeben. Die Sendertaktfrequenz wird durch die Gatterschaltung IC 7 A, B und C gesteuert. Im Normalfall ist die Handshakeleitung CTS (Pin 5 an Buchse 2) im aktiven Zustand, d. h. + 12 V. Daraus ergibt sich ein logischer „L“-Pegel, welcher vom V 24-Empfängerbaukasten IC 8 (SN 75189/Pin 3) erzeugt wird.

Dieser gibt über die NOR-Gatter IC 7 A, B, C den Baudratentakt auf den Clockeingang



TRC frei. Ist noch kein 8-Bit-Datenwort von der Parallelschnittstelle geladen worden, so befindet sich der Ausgang TRE auf „H“-Potential. Solange dieses der Fall ist, besteht die Möglichkeit, mit der CTS-Handshakeleitung den Sendertakt zu sperren. Damit wird dann automatisch die Sendung von seriellen Daten gesperrt. Ist nun ein paralleles Datum übernommen worden, so wechselt der Ausgang TRE auf „L“-Pegel. Damit ist sichergestellt, daß eine angefangene serielle Übertragung zu Ende geführt wird, auch wenn der logische Zustand an CTS dies eigentlich nicht mehr zuläßt. Erst wenn dieses Byte komplett mit Stopbits übertragen worden ist (d. h. TRE ist auf „H“-Pegel gewechselt), besteht die Möglichkeit, mit dem CTS-

Handshake den erneuten Transfer eines weiteren Bytes zu stoppen. Dies ist erforderlich, wenn langsame Peripherie wie z. B. Drucker oder Plotter angeschlossen sind.

Der Handshake für die empfangenen Daten wird über die Steuerleitung RTS gesteuert. Ein angeschlossenes Gerät an die Parallelschnittstelle kann direkt über seine Busleitung den seriellen Datentransfer von einem sendenden Gerät steuern.

Ein Centronics-Treiber wie z. B. ein Computer, kann über die 8 Datenleitungen D 0 bis D 7 sowie über seine Strobe-, Busy- und Acknowledge-Handshakeleitung mit dem Schnittstellenwandler kommunizieren. Dazu gibt der Rechner einen kurzen negativen

Strobeimpuls, welcher über IC 4 D, F gepuffert wird und dann auf den Datenübernahmeeingang TBRL gelangt. Sobald diese Daten übernommen sind, wechselt das Signal an TBRE auf „L“-Pegel. Gleichzeitig zeigt der Ausgang TRE (Sendepuffer leer) durch einen „L“-Pegel an, daß die serielle Datenübertragung begonnen hat. Diese beiden Leitungen sperren das NAND-Gatter IC 7 D und setzen somit die Busleitung für den Rechner, der die parallele Datenausgabe so lange stoppt, bis der Sendepuffer leer ist, d. h. das anliegende Datum übertragen worden ist. Außerdem wird noch ein ca. 50 µs langer negativer Acknowledge-Impuls ausgegeben, der mit den Gattern IC 4 B, E sowie C 2 und R 3 generiert wird. Erst wenn die

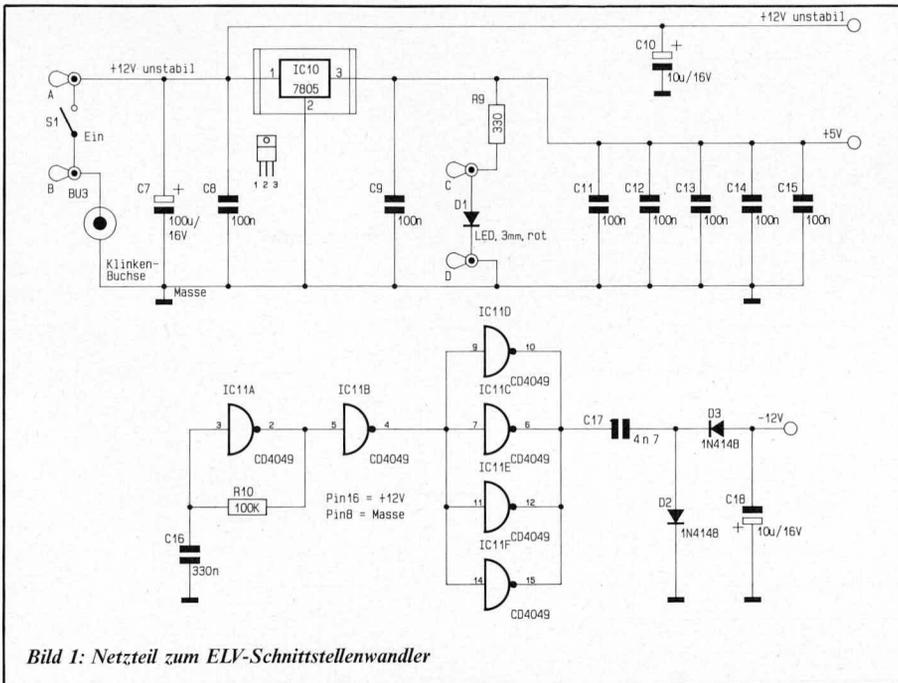


Bild 1: Netzteil zum ELV-Schnittstellenwandler

Busy-Handshakeleitung den Datentransfer wieder freigibt, kann der Rechner ein neues Datum übertragen.

Ist die Centronics-Schnittstelle in umgekehrter Richtung, also als Centronics-Treiber, geschaltet, so generiert der IM 6402 einen „H“-Pegel an seinem DR-Ausgang. Dieser erzeugt über C 1, R 2, IC 4 A einen ca. 0,5 ms langen Impuls, welcher das Strobe-Signal für die angeschlossene Peripherie darstellt. Mit der ansteigenden Flanke an C 3 entsteht mit Hilfe von R 5, C 3 und IC 4 C ein ca. 50 µs langer Low-Impuls, der an dem DRR-Eingang des UARTs anliegt. Dieser Impuls löscht die Statusinformation an dem DR-Ausgang des ICs. Durch diese Schaltungsmaßnahme ist sichergestellt, daß ca. 50 ms, nachdem die Daten empfangen worden sind, der UART für einen neuen Datentransfer bereit ist. Dieser Datentransfer kann durch die Busyleitung des angeschlossenen Gerätes gestoppt werden, welcher wie bereits erwähnt, über den V 24-Treiber IC 9 (SN 75188) und somit über die RTS-Handshakeleitung bewerkstelligt wird.

Die im Schaltplan gezeichneten Buchstaben an den Brücken Br 1 bis 3, 5 bis 12, 17 bis 19 geben eine Hilfestellung, um die Brücken für die verschiedenen Übertragungsmodi „a“ bis „e“ richtig zu stecken. Im folgenden werden die verschiedenen Übertragungsmodi des SSW 7000 näher erläutert.

Tabelle 2								
Jumperstellungen bei den verschiedenen Übertragungsmodi								
	Br 1-3	Br 4-8	Br 9-11	Br 12-15	Br 16	Br 17	Br 18	Br 19
Parallel auf Seriell	a	—	—	—	a	a	a	a
Seriell auf Parallel	b	b	b	—	b	b	—	b
Parallel auf Seriell	Centronics	c	—	c	c, c	c, c	c, c	c
Seriell auf Parallel	Verlängerung	d	d	d, d	d	d	—	d
8 Bit Parallel auf Seriell und 8 Bit Seriell auf Parallel	e	—	—	—	e	e	—	e

Die Umsetzung von Parallel auf Seriell

Für die Datenübertragung von der Centronics-Schnittstelle auf die V 24/RS 232 C-Schnittstelle werden alle Brücken geschlossen bzw. gesteckt, die mit dem Buchstaben „a“ gekennzeichnet sind.

Zur Funktionsweise: Die 8 Datenbits der Parallel-Schnittstelle gelangen direkt über den Bustreiber IC 1 (74LS244) auf die Dateneingänge des IM 6402. Die Datenübernahmeleitung Strobe veranlaßt gepuffert über IC 4 D, F mit einem kurzen Impuls die Übernahme der 8 Datenbits in das Eingangsregister des UARTs. Daraufhin setzt der Umsetzer seine Handshakeleitungen TBRE und TRE, die anzeigen, daß der Sendepuffer zur Zeit nicht leer ist und somit eine serielle Datenübertragung stattfindet. Solange dieses der Fall ist, sperrt die Schaltung über das NOR-Gatter IC 7 D den weiteren Datentransfer von der Parallel-Schnittstelle. Durch die Seriell-Handshakeleitung CTS besteht die Möglichkeit, den seriellen Datentransfer so lange zu unterbrechen, bis der gegenüberliegende V 24-Empfänger bereit ist, die Daten zu übernehmen. Ferner besteht die Möglichkeit, einzelne Statushandshake-Signale der Parallel-Schnittstelle direkt mit der V 24-Schnittstelle zu verbinden. Dies ist notwendig, wenn ein serieller Drucker angeschlossen ist, der z. B. über die DSR-Handshakeleitung eine Statusinformation ausgibt, die anzeigt, daß das Papier zu Ende ist. Es besteht dann die Möglichkeit, den Pin 8 des V 24-Leitungsempfängers SN 75189 über Br 14 mit der Paper-Empty-Leitung Pin 12 der Centronics-Schnittstelle zu verbinden. Da hier fast alle Möglichkeiten offen sind, wurde ein Brückenfeld im Layout vorgesehen, um dieses je nach Bedarf zu bestücken.

Die Umsetzung von Seriell auf Parallel

Um diesen Modus auf der Platine einzustellen, werden alle Brücken, die mit dem Buchstaben „b“ gekennzeichnet sind, geschlossen bzw. gesteckt. Die über die RxD-Leitung ankommende Information wird über den V 24-Empfänger IC 8, dem seriellen Eingang

des UARTs zugeführt. Sobald dieser ein komplettes Datum empfangen hat, aktiviert er die DR-Statusleitung, um anzuzeigen, daß die 8-Bit-Paralleldaten am Datenbus „abgeholt“ werden können. Mit Hilfe des Monoflops, gebildet aus IC 4 A, R 2 und C 1, erzeugt die Schaltung einen negativen Impuls von ca. 0,5 ms Länge, der z. B. den angeschlossenen Drucker aktiviert. Dieses Signal wird mit Hilfe des zweiten Monoflops bestehend aus IC 4 C, C 3 und R 5 zurückgesetzt. Kann der Drucker die Daten in der ankommenden Geschwindigkeit nicht verarbeiten, so setzt er seine Busy-Leitung, welche dann direkt den gegenüberliegenden V 24-Sender für die erforderliche Zeit sperrt, um Datenverluste zu vermeiden. Die 8 Datenbits sind über den Leitungstreiber IC 2 (SN74LS244) gepuffert. Auch in dieser Schaltungsvariante besteht die Möglichkeit, Centronics- und V 24-Handshakeleitungen direkt über Br 12 bis Br 15 zu verbinden.

Centronics-Verlängerung

Um diese Schaltungsart betreiben zu können, benötigt man 2 komplett aufgebaute Bausteine. Der erste wird als Centronics/V 24-Wandler geschaltet (die Brücken „c“ sind geschlossen) und der zweite als V 24-Empfänger und Centronics-Treiber (die Brücken „d“ sind geschlossen). Die Schaltung besteht prinzipiell darin, daß alle parallel anliegenden Daten in eine serielle Information umgesetzt werden und der späteren Rückwandlung in Parallel-Daten. Hierzu wird eine V 24-Verlängerungsleitung benötigt, die wie in Bild 3 gezeichnet verdrahtet werden muß. Die zu sendenden Daten gelangen über Pin 2 des V 24-Senders auf Pin 3 des V 24-Empfängers. Der direkte Handshake (Busy) gelangt vom V 24-Empfänger Pin 5 auf Pin 4 des V 24-Senders. Dieses ist erforderlich, um eine möglichst schnelle Reaktion der Centronics-Schnittstelle auf die Busy-Handshakeleitung zu ermöglichen. Die anderen Statusleitungen z. B. des Druckers wie Paper Empty, Select, Error werden kontinuierlich über eine V 24-Rückleitung übertragen. Dadurch ist es ermög-

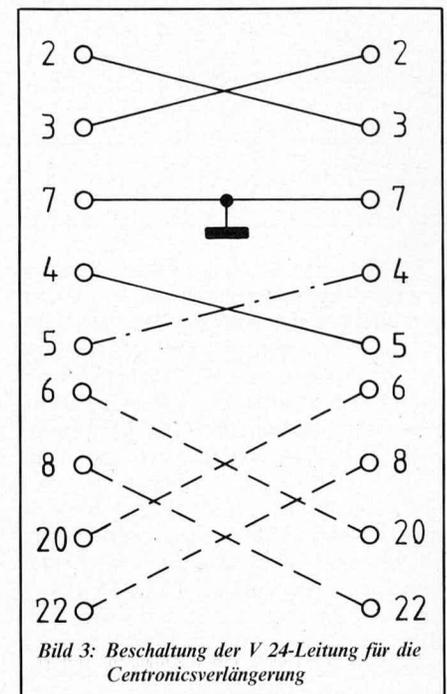


Bild 3: Beschaltung der V 24-Leitung für die Centronicsverlängerung

licht, über wenig Leitungen den kompletten Centronics-Handshake zu verdrahten. Ferner besteht die Möglichkeit, die Centronics-Handshakeleitungen Auto-Feed XT und Reset über die V 24-Handshakeleitungen DTR und DCD bzw. DSR und RI zu führen. Es kann aus Gründen der Leitungersparnis auf die Verbindung zwischen Pin 4 des V 24-Empfängers und Pin 5 des V 24-Senders verzichtet werden. Dann muß allerdings darauf geachtet werden, daß die beiden Seiten des V 24-Kabels nicht vertauscht werden. Somit kommt man mit einem 4adrigen Kabel aus. Die Übertragung der Signale der Centronics-Leitungen Paper-Empty, Select und Error erfolgt über die Brücken Br 1 bis Br 3 auf die parallelen Eingangsdaten. Diese Daten werden zyklisch getaktet über den Teiler IC 8 (CD 4040). Die Übertragungsbauart hängt zum einen von den Übertragungserfordernissen und zum anderen von den Leitungslängen der V 24-Übertragungsleitung ab. Die am V 24-Sender empfangenen Handshake-Signale werden über den Leitungstreiber IC 2 (SN74LS244) und über die Brücken Br 9 bis Br 11 auf die dazugehörigen Handshakesignale übertragen.

Bidirektionale Übertragung von 8-Bit-Daten

Mit der Schaltungsvariante „e“ kann eine einfache 8-Bit-Datenübertragung in 2 Richtungen erfolgen. Auch zu dieser Schaltungsvariante braucht man 2 Bausteine des SSW 7000. Ist eine Datenübertragung von maximal 8 Bit in einer Richtung erforderlich, so kann die dazwischenliegende Übertragungsleitung aus einem 2adrigen Kabel bestehen. Soll die 8-Bit-Datenübertragung in beide Richtungen erfolgen, so wird ein 3adriges Kabel benötigt. Die Schaltung dieser Verbindungsleitung ist ersichtlich aus Bild 4. Die 8 Datenbits werden von der sendenden Seite kontinuierlich getaktet durch IC 3 übertragen. An dem seriellen Empfänger werden diese Daten gleich nach der Übertragung an dem Leitungstreiber IC 2 anliegen. Die Eingangsdaten können direkt an die Löt-nägeln ST 1 bis ST 8 und ST 9 (GND) gelegt werden. Werden einzelne Datenbits nicht benötigt, so sind diese entweder auf die positive Spannungsversorgung oder auf Masse zu legen, um auch hier einen definierten Spannungspegel zu übertragen. Die parallelen Ausgangsdaten können an den Löt-nägeln ST 10 bis ST 17 und ST 18 (GND) abgenommen werden. Die maximale Bandbreite der zu übertragenden Information hängt auch wie im vorherigen Beispiel von den Erfordernissen und den maximalen Übertragungslängen ab. Eine Bedienung der Handshakeleitungen an der parallelen Seite

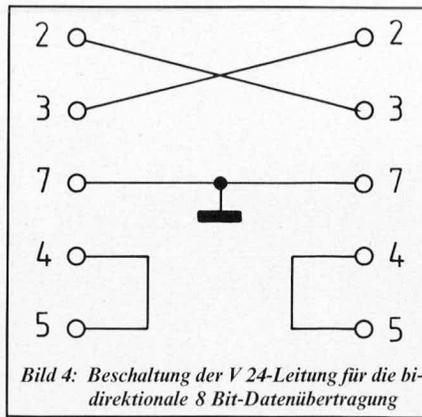


Bild 4: Beschaltung der V 24-Leitung für die bidirektionale 8 Bit-Datenübertragung

ist bei dieser Schaltungsvariante nicht erforderlich. Die Übertragungsbauarten der beiden angeschlossenen Bausteine müssen zwangsläufig auf die gleiche Frequenz eingestellt sein. Die zu übertragenden 8-Bit-Informationen können quasi gleichzeitig in beide Richtungen übertragen werden. Die maximale Bandbreite der einzelnen Datenbits ist durch die serielle Übertragung auf etwa 10 Hz begrenzt, was aber bei einer relativ langsamen Meßwertaufnahme nicht weiter störend ist.

Zum Nachbau

Die gesamte Schaltung wird auf einer übersichtlich gestalteten einseitigen Europakarte mit den Maßen 100 x 160 mm aufgebaut. Fast sämtliche Bauteile bis auf den Kippschalter und die Kontrolleuchtdiode finden auf dieser Platine Platz.

Zunächst werden in gewohnter Weise anhand des Bestückungsplanes die 67-festen Brücken und anschließend die niedrigen passiven Bauteile bestückt und verlötet.

Nachdem die passiven Bauteile wie auch die Kontaktleisten für die Jumper eingesetzt und verlötet wurden, folgen die aktiven Bauteile sowie der Zentralbaustein IM 6402. Als nächster Arbeitsschritt wird die 36polige Centronics-Print- und die 25polige Subminiatur-D-Buchse eingelötet. Anschließend werden anhand des Schaltbildes 2 ca. 15 cm lange 2adrige Leitungen angelötet. Am Ende dieser Kabel sind der zugehörige Kippschalter und die Kontrolleuchtdiode anzusetzen.

Entsprechend Bild 5 befinden sich auf der Kunststoffgehäuserückwand 2 viereckige und 1 runde Aussparung, in die später die beiden Buchsen und die 3,5-mm-Klinkenbuchse eingebaut werden. Zusätzlich wird mit vier Befestigungsschrauben die Platine auf dem Gehäuseboden fixiert. Abschließend muß noch der Kippschalter in der Frontplatte verschraubt, und die Leucht-

diode mit etwas Kleber in die Frontplatte eingesetzt werden.

Zuletzt werden die für die Schaltungsart vorgesehenen Jumper auf die dazugehörigen Steckleisten gesetzt. Es ist darauf zu achten, daß nur einer der Baudratenjumper gesteckt ist. Außerdem sind die Statusjumper Br 20 bis Br 24 je nach beabsichtigtem Übertragungsmodus einzusetzen.

Falls eine Datenübertragung auf Anhieb nicht klappt, so sind die gesteckten Jumper nochmals zu überprüfen. Falls erforderlich, ist dann noch die Handshake-Leitung zu überprüfen. Ferner ist es möglich, einen ggf. auftretenden Fehler noch an den Pins 13 (Paritätsfehler), Pin 14 (Rahmenfehler) und Pin 15 (Überlauffehler) an IC 5 zu diagnostizieren.

Nachdem die beiden Gehäusehalbschalen verschraubt wurden, steht dem Einsatz des nützlichen Bausteins nichts mehr im Wege.

Stückliste: Schnittstellenwandler SSW 7000

Widerstände

330 Ω	R 9
2,2 kΩ	R 7
4,7 kΩ	R 1, R 3
10 kΩ	R 4
47 kΩ	R 2, R 5, R 6
100 kΩ	R 10
1 MΩ	R 8

Kondensatoren

22 pF	C 5, C 6
1 nF	C 2, C 3
4,7 nF	C 17
10 nF	C 1
100 nF	C 8, C 9, C 11-C 15
330 nF	C 16
10 µF/16 V	C 4, C 10, C 18
100 µF/16 V	C 7

Halbleiter

CD4011	IC 7
CD4040	IC 3
CD4049	IC 11
CD4060	IC 6
CD4584	IC 4
IM6402	IC 5
74LS244	IC 1, IC 2
75188/MC 1488	IC 9
75189/MC 1489	IC 8
7805	IC 10
BC548	T 1
1N4148	D 2, D 3
LED, 3 mm, rot	D 1

Sonstiges

4,9152 MHz Quarz	Q 1
Centronics Buchse	Bu 1
Sub-D-Buchse	Bu 2
3,5 mm-Klinkenbuchse	Bu 3
Kippschalter 1 x um	S 1
20 Jumper		
1 U-Kühlkörper SK 13		
3 Schrauben M 3 x 8		
7 Muttern M 3		
4 Schrauben M 3 x 16		
70 cm Silberschalt draht		
25 cm flexible Leitung 0,12 mm ²		
22 Lötstifte		
4 Abstandsrollchen 5 mm		
1 Stiftleiste, 36polig, 1reihiig		
1 Stiftleiste, 9polig, 1reihiig		
1 Stiftleiste, 28polig, 2reihiig		

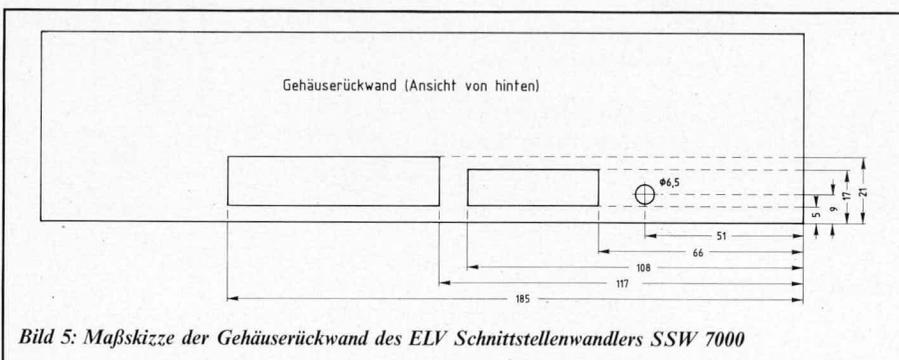
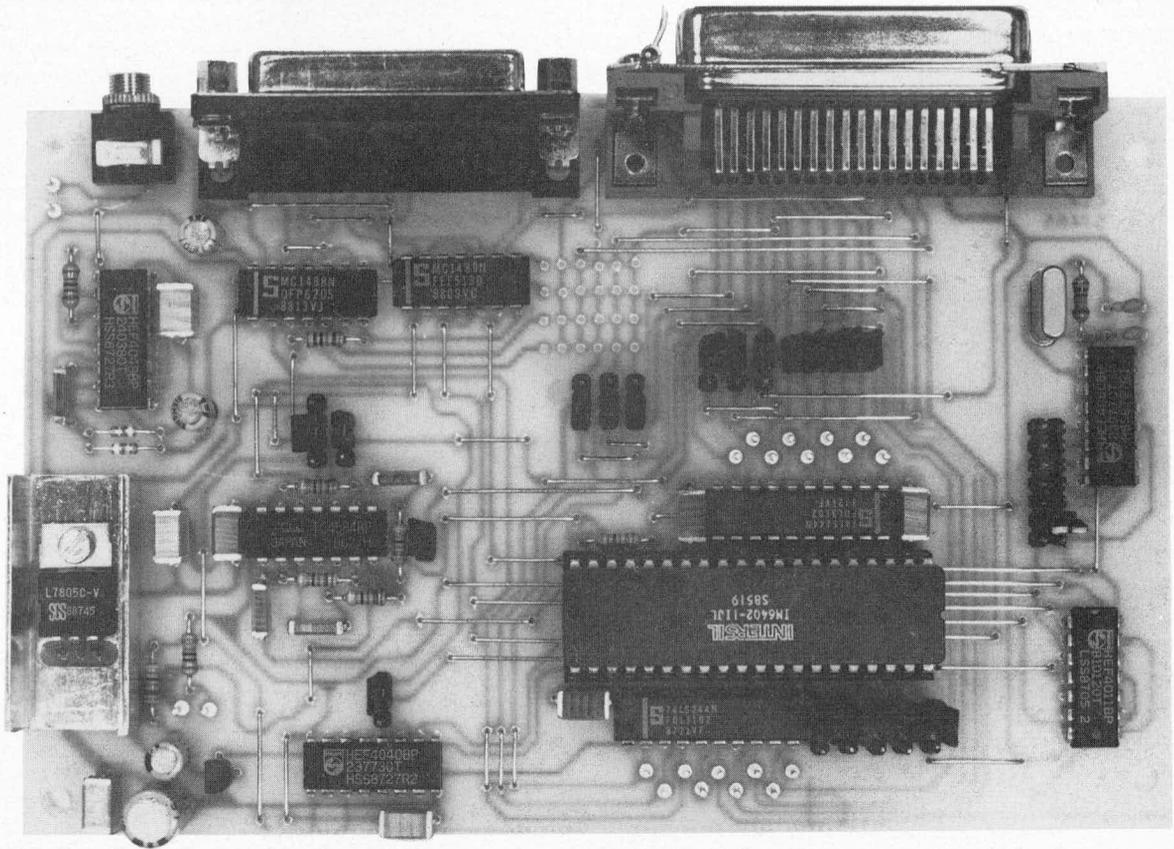
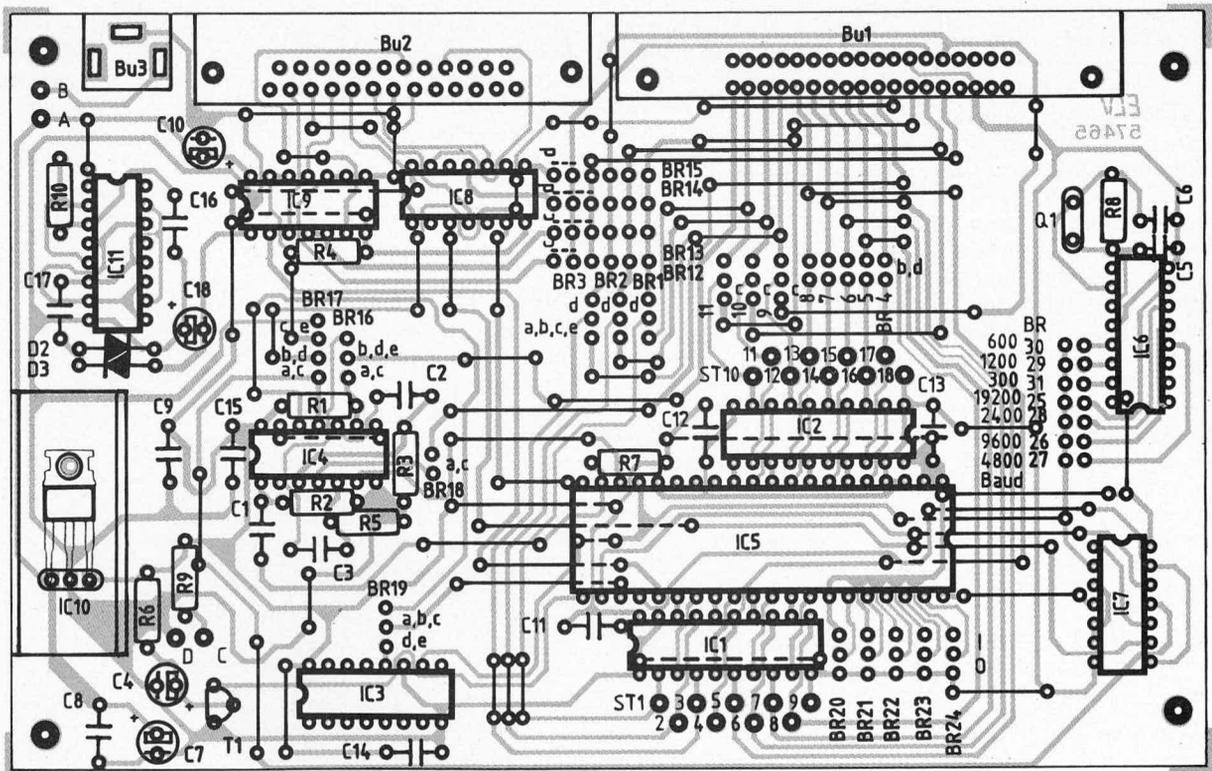


Bild 5: Maßskizze der Gehäuserückwand des ELV Schnittstellenwandlers SSW 7000



Ansicht der fertig bestückten Platine des ELV-Schnittstellenwandlers SSW 7000



Bestückungsseite der Platine des ELV-Schnittstellenwandlers SSW 7000