

Video-Digitizer VD 7000

Das Einscannen von Video-Stand-Bildern in IBM-kompatible PCs, Atari ST oder auch Commodore Amiga-Rechner ermöglicht dieser von ELV vollkommen neu entwickelte Video-Digitalisierer VD 7000 in professioneller Qualität.

Allgemeines

Wie der regelmäßige Leser des ELV-Journal weiß, entstehen in der ELV-Entwicklungsabteilung unter anderem auch Schaltungen und Geräte für den industriellen und professionellen Einsatz. Vielfach sind die daraus entstehenden Produkte so speziell und kostenintensiv, daß eine Übertragung in den Privatbereich nicht möglich ist. Es kommt jedoch durchaus vor, wie auch im vorliegenden Fall, daß eine rein professionelle Schaltung, aufgrund der erschwinglichen Hardwarekosten, ohne Abstriche machen zu müssen, in den Privatbereich übertragbar ist.

Wir freuen uns ganz besonders, daß wir Ihnen im vorliegenden Artikel einen Video-Digitalisierer vorstellen können, dessen Qualität dem professionellen Einsatz voll Rechnung trägt.

Der VD 7000 ist in der Lage, ein Video-Standbild von einer Kamera, einer Still-Video-Kamera oder einem Videorecorder (ein gutes Standbild ist Voraussetzung), mit einer Auflösung von 944Pixel in 625 Zeilen zu digitalisieren. Die Auflösung pro Pixel (Digitalisierungsgenauigkeit) beträgt dabei 8 Bit, entsprechend 256 Graustufen.

Als herausragendes Feature bietet der VD 7000 die Möglichkeit der Echtfarbdigitalisierung, d. h. die Primärfarben Rot, Grün und Blau können nacheinander mit jeweils 8 Bit-Auflösung eingelesen werden, so daß insgesamt 16,77 Millionen

Farben zur Verfügung stehen.

Helligkeit, Farbsättigung und Kontrast können über frontseitige Einstellregler optimal angepaßt werden. Eine Mini-DIN-Eingangsbuchse dient zur Einspeisung eines Y/C- (S-VHS bzw. Hi 8) Videosignals, das, gleichzeitig in ein RGB-Signal umgewandelt, an der Scart-Ausgangsbuchse wieder zur Verfügung steht.

Eine Cinch-Buchse dient zur Zuführung eines FBAS-Video-Signals, während 2 weitere Cinch-Buchsen zur Einspeisung des linken und rechten Stereokanals bereitstehen.

Das Gerät kann somit auch als Y/C (S-VHS, Hi 8) -RGB oder auch als FBAS-RGB-Konverter, unabhängig vom Computer, eingesetzt werden.

Die Umschaltung zwischen Y/C- und FBAS-Eingang erfolgt vollautomatisch mit der Priorität Y/C (S-VHS bzw. Hi 8). Der Anschluß an den Computer erfolgt über eine bidirektionale Centronics-Schnittstelle. Der Atari ST und der Commodore-Amiga besitzen diese Schnittstelle standardmäßig, während für einen IBM-PC XT/AT oder dazu kompatiblen Rechner eine zusätzliche bidirektionale Centronics-Schnittstellenkarte erforderlich ist (siehe Katalog 1992).

Um den Digitizer im Zusammenhang mit einem Atari ST-Rechner nutzen zu können, ist eine geringfügige Modifizierung am Rechner erforderlich. Die DIR-IN/OUT-Leitung ist vom Sound-Chip Pin 14 zur Centronics-Sub-D-Buchse Pin 17

nachzuverdrahten. In einem standardmäßigen Druckerkabel ist Pin 17 des Sub-D-Steckers mit Pin 36 des Centronics-Steckers verbunden.

Damit die vom VD 7000 digitalisierten Bildsignale in den Rechner eingelesen werden können, ist eine spezielle Erfassungs-Software erforderlich, die sowohl für Amiga, Atari ST als auch für PCs zur Verfügung steht. Diese Software nimmt die Steuerung des Digitizers vor und legt das digitalisierte Videobild in mehrere der bekannten Grafikformate (wie z. B. TIFF) auf Diskette oder Festplatte ab. Eine Preview-Funktion und die Erfassung beliebiger Bildausschnitte sind weitere Leistungsmerkmale der Erfassungs-Software.

Für die spätere Bildbearbeitung stehen eine Vielzahl hochwertiger Grafikprogramme zur Verfügung, die üblicherweise entsprechende Bilder weiterverarbeiten können. Im PC-Bereich ist z. B. das Grafikprogramm IMAGE 256 empfehlenswert.

Des Weiteren kann ein Video-Digitalisierer für eine Vielzahl anderer professioneller Aufgaben in der Computertechnik eingesetzt werden, wie z. B. Bilder in DTP-Programm einzuscannen oder auch zur Mustererkennung im Zusammenhang mit einer Robotersteuerung.

Das Blockschaltbild

Bei dem Video-Digitizer VD 7000 handelt es sich um eine recht umfangreiche

Schaltung. Für eine ausführliche und verständliche Beschreibung ist es daher sinnvoll, zunächst anhand eines Blockschaltbildes einen Überblick über die Gesamtschaltung zu verschaffen.

Wir beginnen die Beschreibung mit der in Abbildung 1 oben links dargestellten Video-Signalführung. Hier können sowohl ein FBAS-Video-Signal als auch ein Luminanz- (BAS) und Chrominanz- (F) Signal getrennt zugeführt werden, wie dies bei S-VHS- und Hi 8-Geräten üblich ist. Die getrennte Zuführung der Helligkeits-

und Farbinformationen wird auch als Komponenten- bzw. Y/C-Signal bezeichnet.

Die Signalerkennung und -umschaltung erfolgt vollautomatisch mit der Priorität Y/C-Signal. Anschließend wird das selektierte Signal dem Filterblock zugeführt, dessen Hauptaufgabe darin besteht, das FBAS-Signal in seine Komponenten BAS und F aufzusplitten. Wird ein S-VHS- oder Hi 8-Signal zugeführt, durchläuft das F-Signal weiterhin die Filterstufe, um Laufzeitunterschiede zu vermeiden, während das BAS-Signal unverändert

durch den Filterblock gelangt.

Der Filterblock liefert am Ausgang zum einen das Chrominanz-Signal zur weiteren Verarbeitung im PAL-Decoder, und zum anderen das BAS-Signal, welches dem Synchron-Impuls- und Sandcastle-Generator sowie über eine Verzögerungsleitung ebenfalls dem PAL-Decoder zugeführt wird.

Die durch eine Bandbreiteneinengung im Farbkanal verursachte Signalverzögerung muß im Y-Kanal wieder ausgeglichen werden.

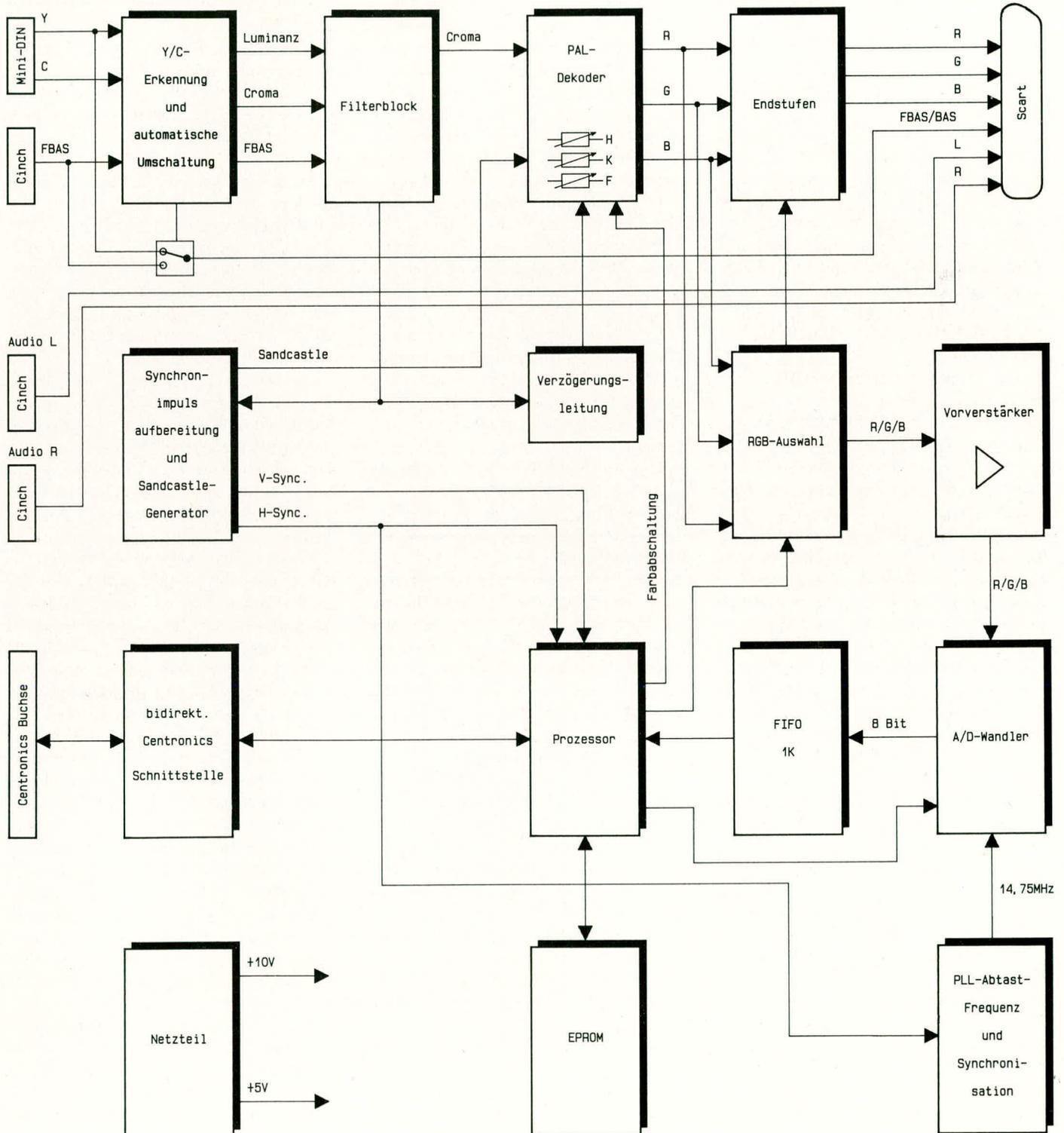


Bild 1: Blockschaltbild des Video-Digitizers VD 7000

Im PAL-Decoder wird das Farbart-Signal F in die beiden trägerfrequenten Farbdifferenzsignalkomponenten $\pm F_{R-Y}$ und F_{B-Y} aufgesplittet, wobei das wechselnde Vorzeichen des F_{R-Y} -Signals beim PAL-Verfahren durch die senderseitige Polaritätsumschaltung des R-Y-Signals zustandekommt.

Die beiden trägerfrequenten Farbdifferenzsignale werden mit Hilfe der integrierten Synchrondemodulatoren demoduliert, so daß am Ausgang dieses Schaltungsblocks die 3 Primärfarben Rot, Grün und Blau zur weiteren Verarbeitung bereitstehen.

Des weiteren können innerhalb dieses Schaltungsblocks die Helligkeit, der Kontrast und die Farbsättigung in weiten Bereichen verändert werden.

Das unter anderem für die Burst-Austastung im PAL-Decoder erforderliche Super-Sandcastle-Signal sowie die horizontalen und vertikalen Synchronimpulse werden mit Hilfe der Synchronimpulsaufbereitung und dem Sandcastle-Generator erzeugt. Während das Sandcastle-Signal dem PAL-Decoder zugeführt wird, erhält der Mikroprozessor zur Steuerung des AD-Wandlers die horizontalen und vertikalen Synchronimpulse.

Die ausgangsseitigen RGB-Signale werden einer vom zentralen mikroprozessorgesteuerten Auswahllogik sowie jeweils einer Videostufe zugeführt. In den Videostufen wird jeweils eine Stromverstärkung sowie eine Impedanzwandlung vorgenommen, so daß der Scart-Ausgangsbuchse die RGB-Signale mit einer Impedanz von 75Ω zugeführt werden. Zusätzlich erhält die Scart-Ausgangsbuchse noch das FBAS- bzw. bei Y/C-Betrieb das BAS-Signal zur Synchronisation eines extern angeschlossenen TV-Gerätes.

Der VD 7000 kann somit unabhängig von der Digitalisierung und ohne daß ein Computer angeschlossen ist, als S-VHS/Hi 8 nach RGB oder als FBAS-RGB-Konverter verwendet werden.

Doch kehren wir jetzt wieder zu den RGB-Ausgangssignalen des PAL-Decoders zurück. Diese Signale werden jeweils einer vom zentralen mikroprozessorgesteuerten RGB-Auswahllogik zugeführt. Anschließend wird die vom Prozessor selektierte Farbe über einen Verstärker auf den Eingang des A/D-Wandlers gegeben.

Beim Einscannen von Schwarz/Weiß-Bildern wird der Rot-Ausgang selektiert und durch den Mikroprozessor die Farbe abgeschaltet.

Mit Hilfe des Analog-Digitalwandlers wird jetzt die vorliegende Bildinformation, mit einer Digitalisierungstiefe von 8 Bit, entsprechend 256 Graustufen bzw. 256 Stufen je Farbe, in eine für den Mikroprozessor verarbeitbare Form umgewandelt.

Die für die Pixelabfrage erforderliche Taktfrequenz wird mit einer durch die horizontalen Synchronimpulse getriggerten PLL-Schaltung generiert. Die Abtastfrequenz beträgt 14,75 MHz, so daß innerhalb einer Zeile von $64 \mu\text{s}$ 944 bzw. während der sichtbaren $52 \mu\text{s}$ maximal 767 Pixel digitalisiert werden können.

Da der Mikroprozessor nicht in der Lage ist, Informationen mit dieser hohen Datenrate direkt zu verarbeiten, werden die 8 Bit-Daten je Pixel in einem FIFO- (First In/First Out) Speicherbaustein mit 1 k Speicherkapazität zwischengespeichert.

Je nach Übertragungsgeschwindigkeit der bidirektionalen Centronics-Schnittstelle sowie abhängig von der Verarbeitungsgeschwindigkeit des extern angeschlossenen Rechners kann der Mikroprozessor die Daten aus dem Zwischenspeicher (FIFO) abholen und zum externen Rechner transferieren.

Sobald alle Informationen einer Zeile übertragen sind, fordert der Rechner die nächste Zeile an, diese Daten werden dann wieder im FIFO zwischengespeichert, und der vorstehend beschriebene Ablauf wiederholt sich.

Die über die bidirektionale Centronics-Schnittstelle stattfindende Kommunikation zwischen Mikroprozessor und externem Rechner wird durch entsprechende Handshake-Signale geregelt.

Das im Blockschaltbild unten in der Mitte eingezeichnete EPROM enthält das Betriebsprogramm für den zentralen Mikroprozessor.

Zur Schaltung

Zur besseren Übersicht sind die wesentlichen analogen Komponenten sowie der digital arbeitende Bereich in separaten Teilschaltbildern zusammengefaßt. Wir beginnen daher die detaillierte Beschreibung mit dem Analogteil.

Der analoge Schaltungsteil

In Abbildung 2 ist der analog arbeitende Videoteil des VD 7000 dargestellt. Wir beginnen die Schaltungsbeschreibung mit der Zuführung des Videosignals an einer der beiden hierfür vorgesehenen Buchsen. Während an der Mini-DIN-Buchse das BAS- und das Chroma-Signal bereits getrennt zugeführt werden, erfolgt beim FBAS-Signal das Aufsplitten in seine Komponenten F (Farbe) und BAS (Helligkeitssignal) in der nachfolgenden Filterschaltung.

Das an der Cinch-Buchse eingespeiste Videosignal wird mit 75Ω (R 12) abgeschlossen und gelangt dann auf die mit C 24 und L 1 aufgebaute Farbträgerfalle. Anschließend werden die restlichen farbträgerfrequenten Signalanteile mit dem

durch R 14 bedämpften Saugkreis L 2, C 25 weitestgehend ausgefiltert.

Das von der Farbträgerfrequenz befreite Signal (BAS) wird über C 26 dem CMOS-Schalter IC 12 an Pin 1 zugeführt. Des weiteren erhält IC 12 an Pin 2 die BAS-Komponente des Y/C-Signals (S-VHS, Hi 8). An Pin 15 liegt jetzt je nach Schalterstellung die BAS-Komponente des FBAS-Signals oder das Y-Signal (BAS) des an der Mini-DIN-Buchse angeschlossenen S-VHS- bzw. Hi 8-Gerätes an.

Das selektierte BAS-Signal wird dann dem PAL-Decoder über C 29, R 18, die Verzögerungsleitung VZ 1 sowie C 52 an Pin 8 zugeführt. Die durch eine Bandbreiteneinengung im Farbkanal entstandene Laufzeit wird im Y-Signalweg mit der durch R 18, R 19 in der Impedanz angepaßten Verzögerungsleitung VZ 1 wieder ausgeglichen.

Pin 5 des Analog-Schalters IC 12 B erhält das an Pin 4 der Mini-DIN-Buchse anliegende Farbartsignal über C 22. Des weiteren erhält der zweite Eingang (Pin 3) dieses Schalters über C 23 das FBAS-Signal der Cinch-Buchse, so daß je nach Schalterstellung an Pin 4 das F-Signal der Mini-DIN-Buchse oder das FBAS-Signal der Cinch-Buchse anliegt.

Dieses Signal wird dann über C 27 auf den Parallelschwingkreis L 3, C 28 mit Dämpfungswiderstand R 17 gegeben. Hier werden alle Spektralanteile, die außerhalb der Farbträgerfrequenz liegen, ausgefiltert, so daß das reine Farbartsignal über den Koppelkondensator C 50 zum Eingang des PAL-Decoders gelangt.

Damit keine Laufzeitunterschiede zwischen F- und BAS-Signalen zustandekommen, ist es auch bei Y/C-Betrieb sinnvoll, den Farbartsignalfilter zu durchlaufen, da dies zu keinerlei Qualitätseinbußen führt.

Doch kommen wir jetzt zur automatischen Eingangssignalquellenumschaltung. Das an Pin 2 des CMOS-Schalters IC 12 anliegende BAS-Signal der Mini-DIN-Buchse gelangt über R 20, C 30 auf das mit T 1, T 2 und Zusatzbeschaltung aufgebaute Amplitudensieb zur S-VHS-/Hi 8-Signalerkennung. Die Synchronimpulse des Komponentensignals werden abgetrennt, verstärkt und zur Steuerung der 3 in IC 12 integrierten CMOS-Schalter herangezogen.

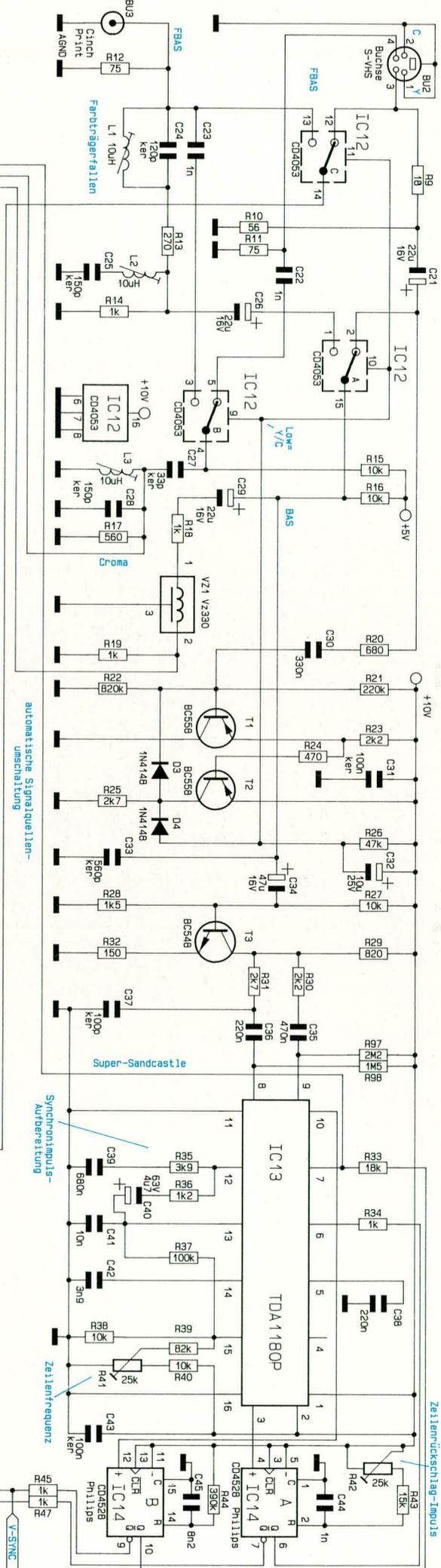
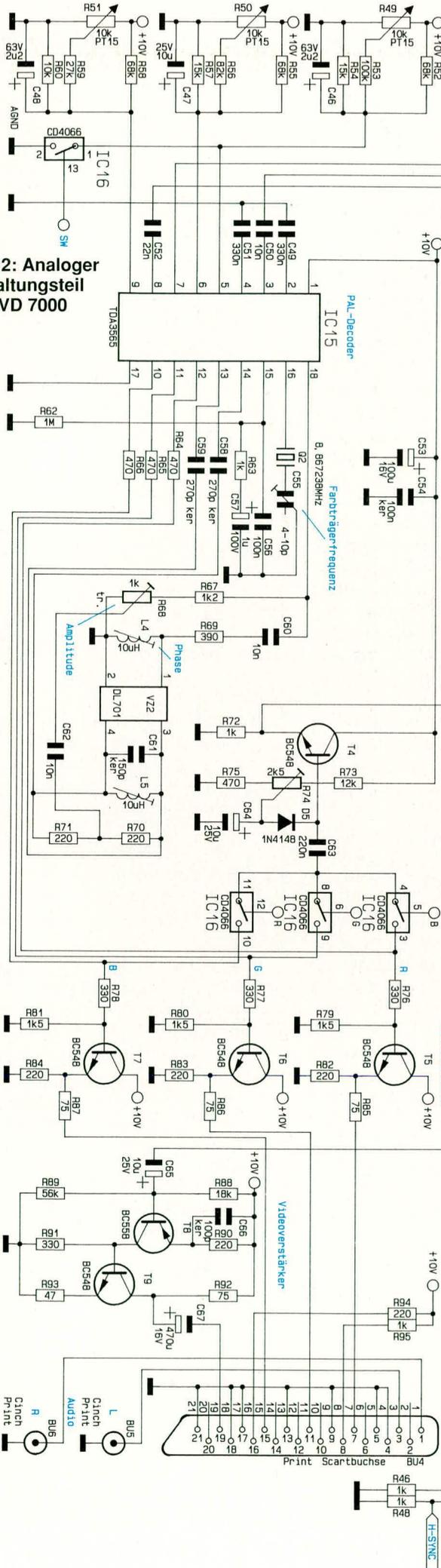
Nachdem wir die Eingangssignalumschaltung und Filterung soweit erläutert haben, kommen wir zur Synchronimpulsaufbereitung und zur Sandcastle-Impulserzeugung.

Das BAS-Eingangssignal gelangt von Pin 15 des Analogschalters IC 12 zusätzlich über C 34 auf die Basis des als invertierender Verstärker geschalteten Transistors T 3, dessen Verstärkung durch die Widerstände R 29 und R 32 festgelegt ist.

Über die RC-Glieder R 30, C 35 und

Helligkeit Kontrast Sättigung

Bild 2: Analoger Schaltungsteil des VD 7000



R 31, C 36 wird das Videosignal auf die in IC 13 integrierten Sync-Separatoren gegeben. Dieses IC enthält im wesentlichen ein Amplitudensieb zur Synchronimpulsabtrennung und eine PLL-Schaltung zur Signalaufbereitung.

Die ansteigende Flanke des an Pin 3 anstehenden zeilenfrequenten, zum Eingangssignal synchronen Signals mit einem Tastverhältnis von ca. 1 : 1 triggert die mit IC 14 A und Zusatzbeschaltung aufgebaute, monostabile Kippstufe.

IC 14 A dient zur Simulation des 12 μ s langen Zeilenrückschlagimpulses (Blank). Der mit R 42 in der Breite einstellbare Rückschlagimpuls gelangt über R 34 zurück zum Sync-IC. Das an Pin 7 von IC 14 anstehende invertierte Blanksignal wird über den Spannungsteiler R 47, R 48 dem Mikroprozessor zur horizontalen Synchronisation zugeführt.

Ein an Pin 10 der Horizontal/Vertikal-Kombination zur Verfügung gestellter bildfrequenter Impuls wird auf den positiven Triggereingang des IC 14 B gegeben. Am Ausgang dieser monostabilen Kippstufe steht dann ein vertikalfrequenter, mit R 44, C 45 auf ca. 1,2 ms Länge festgelegter Austastimpuls zur Verfügung. Der in invertierter Form an Pin 9 des IC 14 anstehende Impuls wird über den Spannungsteiler R 45, R 46 zur vertikalen Synchronisation des Mikroprozessors herangezogen.

Der vertikale Austastimpuls wird über R 33 mit dem von IC 13 Pin 7 kommenden horizontalen Austastimpuls sowie dem vom selben Pin kommenden Burst-Tastimpuls zusammengeführt.

Dieses als Super-Sandcastle-Impuls bezeichnete Signal wird dem PAL-Decoder zur Generierung der notwendigen Steuerungssignale an Pin 7 zur Verfügung gestellt.

Die eigentliche Farbdecodierung in die RGB-Anteile übernimmt der Single-Chip-PAL-Decoder TDA 3565 der Firma VALVO. Wie bereits erwähnt, erhält dieses IC an Pin 8 das BAS-Signal, an Pin 3 das Farbartsignal und an Pin 7 den Super-Sandcastle-Impuls von der Synchronimpulsaufbereitung.

Damit die Decodierung der in Quadraturmodulation vorliegenden Farbinformation (Farbton und Farbsättigung) möglich ist, muß der Farbträger neu generiert werden. Diese Aufgabe übernimmt der im selben IC integrierte und durch den Burst synchronisierte Referenzträgeroszillator, der an Pin 16 lediglich mit einem Quarz (Q 1) und einem C-Trimmer (C 55) extern beschaltet wird.

Bei der Farbdecodierung wird im Laufzeitdecoder das Farbartsignal F in die beiden Farbdifferenzsignalkomponenten $\pm F_{R-Y}$ und F_{B-Y} aufgesplittet. Dies wird durch Subtraktion bzw. Addition des unverzögerten und des mit der Glaslaufzeitleitung

VZ 2 um eine Zeilenperiode verzögerten Farbartsignals F erreicht.

Des Weiteren können an diesem Baustein die Helligkeit, der Kontrast und die Farbsättigung über integrierte elektronische Potentiometer in weiten Bereichen variiert werden.

Nach der Demodulation im PAL-Decoder stehen die 3 Primärfarben Rot, Grün und Blau an den Anschlußpins 10 bis 12 zur weiteren Verarbeitung an.

Die RGB-Signale werden jeweils durch einen Spannungsteiler mit zusätzlichem Abgriff (R 64 bis R 66, R 76 bis R 81) in der Amplitude angepaßt und je auf eine in Kollektorschaltung arbeitende Treiberstufe gegeben. Am Ausgang dieser Emitterfolger werden die RGB-Signale mit einer Impedanz von 75 Ω (R 85 bis R 87) entnommen und an den entsprechenden Pins der Scart-Ausgangsbuchse ausgekoppelt.

Des Weiteren wird der Scart-Buchse über den mit T 8, T 9 und Zusatzbeschaltung aufgebauten Verstärker das FBAS- bzw. bei Y/C-Betrieb das BAS-Signal zugeführt. Ein an dieser Buchse angeschlossenes RGB-taugliches Fernsehgerät erhält dadurch seine Synchronisationssignale.

Doch kehren wir jetzt wieder zu unseren RGB-Ausgängen des PAL-Decoders zurück. Die RGB-Signale werden an den zusätzlichen Spannungsteilerabgriffen entnommen und einem CMOS-Schalter zugeführt, dessen Ausgänge miteinander verbunden sind.

Die vom Mikroprozessor selektierte Primärfarbe gelangt über C 63 auf die Basis des Emitterfolgers T 4. Mit Hilfe der veränderbaren Klemmschaltung (R 73 bis R 75, D 5, C 64) wird der untere Signalpegel 0,7 V unterhalb der am Schleifer des Trimmers R 74 anstehenden Gleichspannung „festgeklemmt“.

Das am Ausgang dieser Treiberstufe anstehende Videosignal wird anschließend auf den Eingang des Video-A/D-Wandlers gegeben.

Die Einspeisung der Audiosignale des rechten bzw. linken Stereo-Kanals erfolgt an den Cinch-Buchsen BU 5 und BU 6. Von dort werden diese Signale direkt zur Scart-Ausgangsbuchse weitergeleitet.

Der Digitalteil

Abbildung 3 zeigt den digitalen Schaltungsteil des VD 7000 mit dem zentralen Mikroprozessor und dem Video-AD-Wandler (IC 8).

Das analoge Videosignal (BAS bzw. eine der Farben Rot, Grün oder Blau) erhält der in CMOS-Technologie hergestellte 8-Bit-Flash-Wandler (IC 8) vom analogen Schaltungsteil. Die an Pin 8 anliegende und mit der Z-Diode D 2 eingestellte Referenzspannung gibt die maximale Videoeingangsamplitude (in unserem Fall 2,7 V) vor.

Da die Pixelabfrage des A/D-Wandlers synchron zur Zeilenfrequenz erfolgen muß, wird die Taktfrequenz mit einer PLL-(Phase-Locked-Loop) Schaltung, die wiederum durch die horizontalen Synchronimpulse getriggert wird, erzeugt. IC 9 bis 11 mit entsprechender Zusatzbeschaltung bilden diesen Schaltungsteil.

Das horizontalfrequente Signal wird auf den Signaleingang (Pin 14) des im IC 10 integrierten Phasendetectors gegeben. Dieses Signal wird in der Phasenlage mit dem von IC 9 Pin 14 kommenden Signal verglichen, d. h. der Ausgang des Phasenkomparators (Pin 13) steuert über den mit R 4 bis R 6, C 16, C 17 aufgebauten Schleifenfilter, den spannungsgesteuerten Oszillator so weit nach, bis beide Signale phasenstarr miteinander verkoppelt sind. Mit IC 9 und IC 11 erfolgt eine Teilung durch 944, so daß der Oszillator zur Pixelabfrage auf einer mit diesem Teilungsfaktor multiplizierten Frequenz von 14,75 MHz schwingt. Die gewandelten Daten liegen in Form eines 8-Bit-Wortes (je Pixel) ständig an den Ausgangspins D 1 bis D 8 des A/D-Wandlers zur weiteren Verarbeitung an.

Die gesamte Steuerung des Digitizers übernimmt der zentrale Mikroprozessor (IC 5) zusammen mit der im IC 3 integrierten Steuerlogik. Bei IC 3 handelt es sich um einen programmierten Logikbaustein (GAL), der die logischen Verknüpfungen von ca. 8 herkömmlichen TTL- bzw. CMOS-ICs übernimmt. Der Vorteil eines derartigen Bausteins liegt somit vor allem in der erheblichen Platzeinsparung auf der Leiterplatte.

Das EPROM (IC 4) enthält das Betriebsprogramm für den Mikroprozessor, der das zeilenweise Einscannen der Daten in den Zwischenspeicher (FIFO) IC 7 sowie den Datentransfer über die bidirektionale Centronics-Schnittstelle zum externen Rechner regelt.

Sobald das Programm des externen Rechners eine bestimmte Zeile (z. B. Zeile Nr. 100) anfordert, startet der Mikroprozessor, synchronisiert durch die horizontalen und vertikalen Synchronimpulse, zu Beginn dieser Zeile das Einlesen in den schnellen Videozweischenspeicher (IC 7 des Typs KM75C02A).

Anschließend werden die Daten mit erheblich langsamerer Geschwindigkeit über den Tristate-Bus IC 6 sowie die im IC 19 integrierten D-Register zum externen Rechner übertragen.

Die Übertragungsrichtung wird vom externen Rechner durch das an Pin 36 anliegende DIR-Signal bestimmt. Liegt das DIR-Signal auf Low-Potential, werden Befehle vom Computer zum Mikroprozessor und bei einem High-Signal die Daten vom Digitizer zum Computer übertragen.

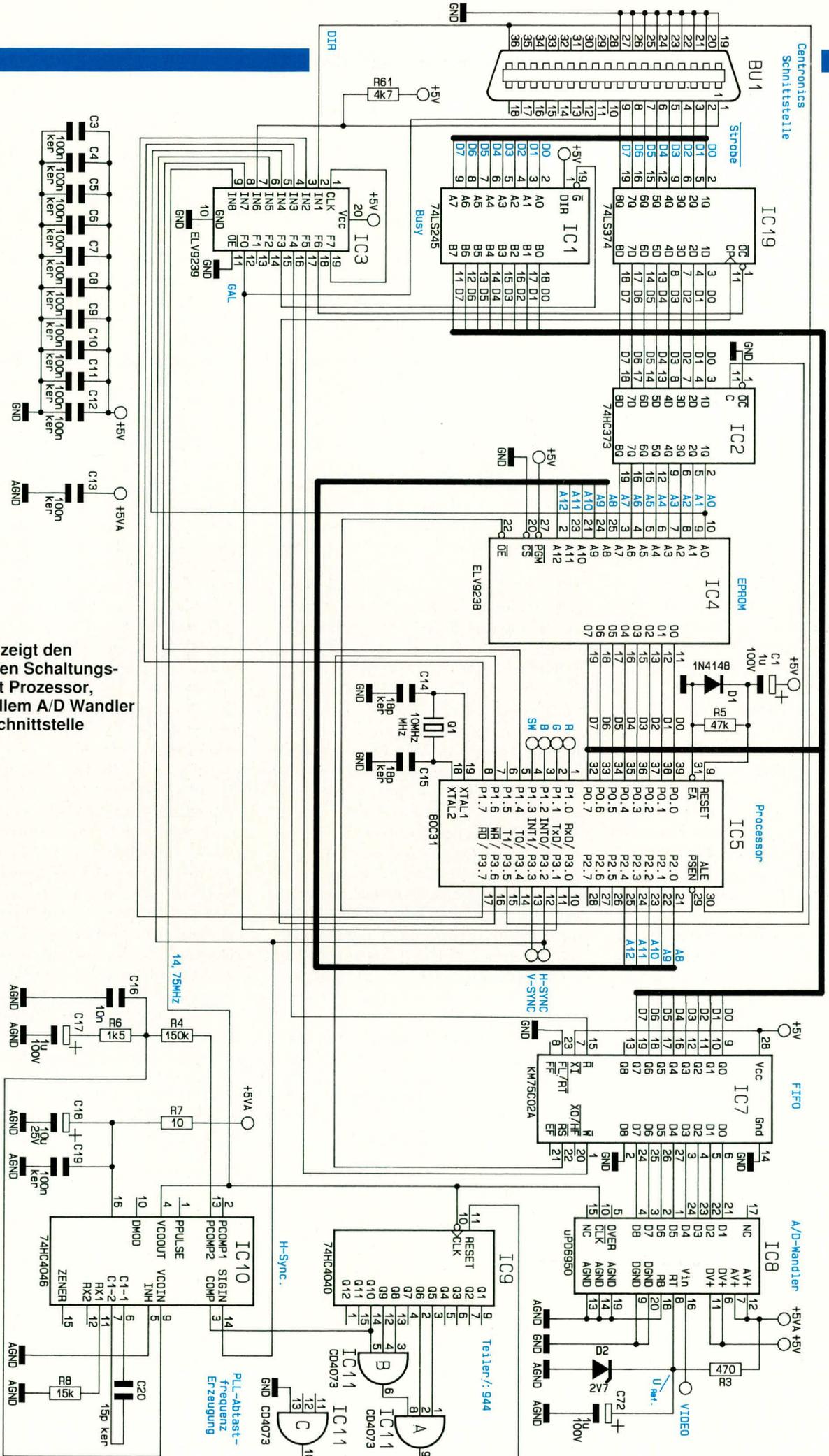


Bild 3 zeigt den digitalen Schaltungsteil mit Prozessor, schnellem A/D Wandler und Schnittstelle

Des weiteren wird die Schnittstellenkommunikation noch durch die Handshake-Signale Strobe und Busy (siehe Timing-Diagramm) geregelt.

Das Netzteil

Die Stromversorgung des VD 7000 ist vergleichsweise übersichtlich aufgebaut und in Abbildung 4 zu sehen.

Der voll vergossene Netztransformator liefert seine sekundärseitige Netzwechselspannung über die Sicherung SI 1 und den

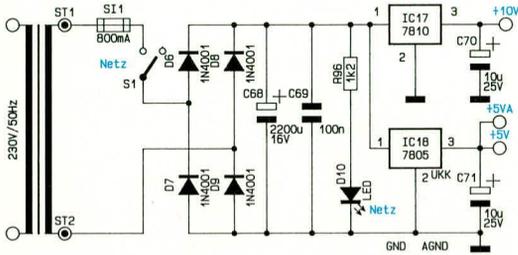


Bild 4: Netzteilschaltung des VD 7000
Schalter S 1 zum Brückengleichrichter (D 6 bis D 9).

Im Anschluß an die Gleichrichtung wird die Spannung mit dem Ladeelko C 68 geglättet und auf die Eingänge der beiden Festspannungsregler IC 17 und IC 18 gegeben. An den Ausgängen dieser beiden ICs stehen jetzt die stabilisierten Spannungen +10 V und +5 V bereit.

Während die Kondensatoren C 69 bis C 71 zur Schwingneigungsunterdrückung dienen, signalisiert die über den Vorwiderstand R 96 mit Spannung versorgte LED D 19 die Betriebsbereitschaft des Video-Digitizers.

Damit ist die Hardwarebeschreibung dieses anspruchsvollen Gerätes abgeschlossen, und wir wenden uns der Beschreibung der Datenübertragung zu.

Die Datenübertragung

Zur Erzielung einer ausgezeichneten und

professionellen Bildqualität ist sowohl eine hohe Auflösung (Pixelanzahl) als auch eine feine Abstufung hinsichtlich Grau- bzw. Farbwerten erforderlich. Die daraus resultierende große Datenmenge muß nun vom Video-Digitizer VD 7000 zum Computer übertragen werden.

Eine Standard-Seriell-Schnittstelle kommt für diese professionellen Anwendungen nicht in Betracht, da dann während des Einlesevorgangs längere Wartezeiten auftreten würden, bevor die Übertragung abgeschlossen wäre. Im vorliegenden Fall erfolgt daher die Datenübertragung vom VD 7000 zum Computer über eine schnelle Parallelschnittstelle. Diese ist an die herkömmlichen Centronics-Parallelschnittstellen angelehnt, jedoch mit dem Zusatz, daß die Daten hier auch bidirektional übertragen werden können. Im PC ist daher eine spezielle Karte erforderlich, welche auch eine rückwärtige Datenübertragung ermöglicht.

Bei den Atari- und Amiga-Computern ist diese Schnittstelle von vornherein bidirektional ausgelegt. Es ist allerdings bei beiden Rechnern durch Zufügen einer Drahtbrücke eine Anpassung erforderlich. Hierauf wird im Laufe des Artikels noch näher eingegangen.

In Tabelle 1 ist die Belegung der 36poligen Centronics-Buchsen dargestellt. Zusätzlich ist die Belegung des 25poligen Steckverbinders am Computer angegeben. Beide Steckverbinder können mit einem Standard-Drucker-kabel verbunden werden.

Sowohl der Computer als auch der VD 7000 besitzen jeweils einen Mikroprozessor, welcher selbständig das jeweilige Anwenderprogramm abarbeitet. Sollen nun diese beiden Prozessoren miteinander kommunizieren, ist es erforderlich, die Kommunikationsabläufe zu synchronisieren.

Voraussetzung für einwandfreies Arbeiten der hier beschriebenen bidirektionalen Parallelschnittstelle ist es, daß eines der beiden Geräte die Steuerung der Da-

tenübertragung übernimmt. Im vorliegenden Fall obliegt es dem Computer, festzulegen ob Daten vom VD 7000 eingelesen werden oder dorthin zu übertragen sind.

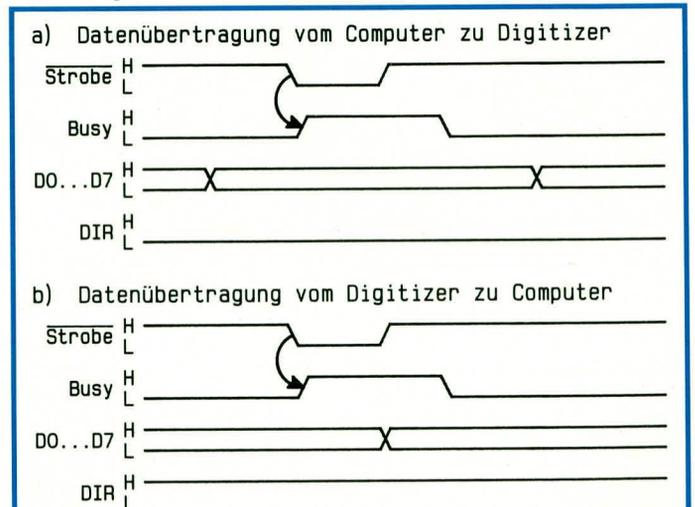
Das Timing einer entsprechenden Datenübertragung ist in Abbildung 5 dargestellt. Hier übernimmt die DIR-Leitung die Datenrichtungssteuerung, und zwar vom Computer vorgegeben.

Möchte der Computer Daten zum VD 7000 übertragen, geschieht dies wie folgt (Abbildung 5 a):

- Zunächst setzt der Computer seine DIR-Leitung auf Low-Pegel (sofern noch nicht geschehen), um dem VD 7000 anzuzeigen, daß eine Datenübertragung vom Rechner zum VD 7000 erfolgen soll.
- Danach legt der Computer die Strobe-Leitung kurzzeitig auf Low-Pegel. Unmittelbar nach der abfallenden Flanke dieser Leitung setzt der VD 7000 seine Busy-Handshake-Leitung auf High-Pegel.
- Anschließend wird überprüft, ob die Busy-Leitung passiv ist, d. h. Low-Pegel führt. Gegebenenfalls wird abgewartet bis ein Pegelwechsel nach Low erfolgt ist.
- Der Computer legt nun seine acht zu übertragenden Datenbits an die Datenleitungen D 0 bis D 7 an.
- Anschließend darf der Computer seine Strobe-Leitung wieder auf High-Pegel zurücksetzen, was im allgemeinen bereits schon nach 50 ns ohne Abfrage der Busy-Leitungen erfolgen kann. Die Strobe-Leitung sollte aber nicht unnötig lange Low-Potential führen, da ansonsten der VD 7000 die Busy-Handshake-Leitung nicht zurücknehmen kann.
- Ist eine Übernahme der Information der acht Datenleitungen vom VD 7000 erfolgt, setzt dieser seine Busy-Leitung auf Low-Pegel als Bestätigung des Einlesevorgangs.
- Der Computer wartet diesen Low-Pegel ab, da er bis zu diesem Zeitpunkt den

Tabelle 1: Anschlußbelegung der Centronicsbuchse des Video-Digitizers VD 7000			
25pol. Sub-D	36polg. Centr.	Bezeichnung	Datenflußrichtung
1	1	Strobe	Computer → VD 7000
2	2	D0	
3	3	D1	vom Computer → Digitizer oder vom Digitizer → Computer
4	4	D2	
5	5	D3	Die Steuerung erfolgt durch DIR
6	6	D4	
7	7	D5	H: VD 7000 → Computer
8	8	D6	
9	9	D7	L: Computer → VD 7000
11	11	Busy	
17	36	DIR	Digitizer → Computer
			Computer → Digitizer

Bild 5 (rechts): Timing der Datenübertragung zwischen Computer und dem VD 7000



Datenbusinhalt nicht ändern darf. Für einen möglichst schnellen Datentransfer kann der Computer während dieser Warteschleife bereits die nächsten zur Datenübertragung bestimmten Daten vorbereiten.

Nachdem die Übertragung eines Byte (8 Bit) erfolgreich abgeschlossen wurde, kann die Übertragung weiterer Daten erfolgen. Die Datenrichtungsumschaltung über die DIR-Leitung darf nur vorgenommen werden, wenn die Strobe/Busy-Leitungen passiv sind (Strobe = H, Busy = L).

Die Datenübertragung vom VD 7000 zum Computer erfolgt in ähnlicher Weise wie in umgekehrter Richtung, nur daß jetzt die Datenübertragung über die 8 Datenleitungen in umgekehrter Reihenfolge vorgenommen wird und die DIR-Leitung dies entsprechend anzeigt (Bild 6b):

- Möchte der Computer ein Datum vom VD 7000 einlesen, muß dieser zunächst dafür sorgen, daß die DIR-Leitung High-Pegel führt, sofern dies noch nicht geschehen ist.
- Es folgt die Überprüfung, ob die Busy-Leitung passiv ist, d. h. Low-Pegel führt.
- Sind vorstehende Voraussetzungen erfüllt, setzt der VD 7000 seine Strobe-Leitung auf Low-Pegel.
- Unmittelbar darauf setzt der VD 7000 seine Busy-Leitung auf High-Pegel. Anschließend kann das Zurücknehmen der Strobe-Leitung erfolgen. Im allgemeinen muß der Strobe-Impuls mindestens eine Länge von 50 ns aufweisen, wobei die Abfrage der Busy-Leitungen entfallen kann. Die Länge des Strobe-Signals sollte möglichst kurz sein, um eine unnötige Verzögerung der Datenübertragung zu vermeiden.
- Während der „Busy“-Phase legt der VD 7000 seine 8-Bit-Daten an die gemeinsamen Datenleitungen D 0 bis D 7 an.
- Ist dieser Vorgang abgeschlossen, so wird vom VD 7000 die Busy-Leitung wieder auf Low-Pegel gesetzt.
- Nachdem die Busy-Leitung wiederum auf Low-Pegel gewechselt ist, kann der Host-Rechner die 8 Datenleitungen auslesen.

Damit ist die gesamte Datenübertragung zum Einlesen eines Datums abgeschlossen.

Natürlich kann auch hier der Computer während der Wartephase auf das Busy-Signal die interne Datenverarbeitung weiterführen. Die Antwortzeit der Busy-Leitung liegt im allgemeinen bei weniger als 10 µs.

Der Computer kann zu jeder Zeit Befehle bzw. Daten zum VD 7000 übertragen oder von dort einlesen. Stehen vom VD 7000 keine aktuellen Informationen für den Computer bereit, so überträgt der VD 7000 einen 0 Byte.

Befehlsfolge

Vom und zum VD 7000 ist die Befehlsfolge exakt festgelegt. Eine Zeilen-scan-Anforderung wird durch nachstehende Befehlsfolge eingeleitet:

ESC
Z
LSB Zeilennummer
MSB Zeilennummer
Interleave-Faktor
Farbe
Im einzelnen sieht der Ablauf wie folgt aus:

- Zunächst wird das Escape-Zeichen (ESC, \$1B, 27D) zum VD 7000 übertragen.
- Anschließend überträgt der Computer das ASCII-Zeichen für „Z“ (\$5A, 90D). Durch diese beiden Zeichen wird eine neue Zeilenanforderung eingeleitet.
- Es folgt das LSB und das MSB der einzuscannenden Zeile. Ein Standard-Fernsehbild umfaßt 625 Zeilen, welche in zwei Halbbilder aufgeteilt sind. Die gewünschte Zeile wird direkt binär übertragen. Für das Lesen der Zeile 258 wird zunächst eine 2 und anschließend eine 1 übertragen (1 x 256 + 2). Theoretisch könnte so eine Zeilennummer zwischen 0 und 65535 übertragen werden, wobei im vorliegenden Fall die Zeilennummern im Bereich zwischen 5 und 625 liegen.
- Als nächstes Byte wird der Interleave-Faktor für die horizontale Auflösung übertragen. Beträgt dieser Faktor 0, erfolgt das Einscannen und Übertragen aller Pixel (ca. 760 für eine sichtbare Zeile). Eine Zahl ungleich 0 gibt an, wieviele Pixel beim Auslesen im VD 7000 zu überspringen sind. Eine 1 würde jeden zweiten, eine 2 demnach jeden dritten usw. Bildpunkt einscannen. Entsprechend sinkt natürlich auch die Anzahl der einlesbaren gültigen Pixel. Diese Möglichkeit wurde zusätzlich aufgenommen, um einen schnellen Überblick über das gewünschte Videobild zu erhalten (z. B. Kontrast, Farb- oder Helligkeitseinstellungen usw.).
- Zum Abschluß erfolgt noch die Übertragung der gewünschten Farbe. Für Rot wird das ASCII-Zeichen „R“ (\$52, 82D), für Grün „G“ (\$47, 71D), für Blau „B“ (\$42, 66D) und für ein Schwarz/Weiß-Bild „S“ (\$52, 83D) übertragen.

Das nachfolgende Beispiel zeigt eine typische Anforderungssequenz:

\$1B, \$5A, \$02, \$01, \$01, \$53

Diese Sequenz wird benötigt, um die Zeile 258 in Schwarz/Weiß-Darstellung anzufordern. In unserem Beispiel würde dabei jeder zweite Bildpunkt übersprungen.

Nachdem die Zeilenleseanforderung vom Computer zum VD 7000 übertragen wurde, erfolgt das zyklische Lesen vom Video-Digitizer. Hierzu wird, solange die angeforderte Zeile noch nicht vorliegt, das 0-Byte vom VD 7000 übertragen. Ist dann die Zeile eingescannt, gibt der VD 7000 das ASCII-Zeichen „z“ (\$7A, 122D) aus.

Als nächstes wird das niederwertige Byte und anschließend das höherwertige Byte der Zeilennummer zu Kontrollzwecken gesendet. Hier muß eine Übereinstimmung mit der zuvor angeforderten Zeilennummer bestehen. Im Anschluß daran erfolgt dann die Übertragung des Zeileninhaltes in binärer Form. Die Anzahl der zu lesenden Zeichen ist vom zuvor eingestellten Interleave-Faktor abhängig.

Das nachfolgende Beispiel zeigt einen Teil von einer typischen Anforderungssequenz:

...\$00, \$00, \$7A, \$02, \$01, \$05, \$05,...

Nach dem Empfang des ASCII-Zeichens „z“ wird zur Kontrolle noch einmal die angeforderte Zeilennummer (hier 258 entsprechend 1 x 256 + 2) und anschließend der Anfang der Zeile mit dem Helligkeitswert 05 übertragen (entspricht in der Praxis einem sehr dunklen Bild).

Werden falsche Befehle übertragen oder die DIR-Leitung zu nicht definierten Zeiten umgeschaltet, so setzt sich der VD 7000 automatisch zurück, d. h. die Anforderungssequenz (Befehle und Daten) muß erneut gesendet werden. Hierdurch wird eine hohe Datenübertragungssicherheit erreicht.

Nachdem eine Zeile angefordert wird, wartet der VD 7000 bis die gewünschte Zeile anliegt und liest diese ein. Anschließend kann dann der Computer diese Zeile auslesen.

Sollte dabei das Auslesen der Zeile schneller als eine Bildwiederholsequenz ablaufen (zum großen Teil vom Computerprogramm abhängig), so kann es sinnvoll sein, die Bildzeilen nicht in direkter Reihenfolge einzuscannen, sondern zuerst die ungeraden und anschließend alle geraden Zeilen einzuscannen, um möglichst schnell den kompletten Einlesevorgang abzuschließen. Dies muß dann gegebenenfalls in der Praxis je nach Computertyp, Programmiersprache und Auflösung empirisch ermittelt werden.

In den von ELV gelieferten Anwenderprogrammen sind diese Optimierungskriterien bereits implementiert.

Nachdem wir uns ausführlich mit der Schaltung und der Übertragung dieses interessanten Video-Zubehörganzes befaßt haben, stellen wir im zweiten Teil dieses Artikels den Nachbau und den Abgleich vor, gefolgt von der Beschreibung weiterer zugehöriger Software. **ELV**