

PC-Videotext-Decoder

PC-VT 7000

Teil 2

Mit dem PC-VT 7000 können Fernseh-Videotextseiten auf einem PC dargestellt und gespeichert werden. Zahlreiche weitere Komfortmerkmale zeichnen das Gerät aus. Im vorliegenden zweiten Teil dieses insgesamt dreiteiligen Artikels wird der schaltungstechnische Teil beschrieben.

Zur Schaltung

Die Schaltung des ELV-PC-Videotext-Decoders PC-VT 7000 ist in 2 Abschnitte gegliedert. Zum einen ist dies der eigentliche Videotext-Decoder, dessen Schaltung auf einer Leiterplatte für ein ELV-7000er-Gehäuse untergebracht ist, und zum anderen der PC-Bus-Controller, der als PC-Einsteckkarte ausgeführt ist und die Verbindung zwischen PC und Decoder herstellt.

Bei unserem PAL-Fernsehsystem werden 625 Bildzeilen in 2 Halbbildern mit je 312,5 Zeilen übertragen. Davon fallen ca. 50 Zeilen in die vertikale Austastlücke, die bei einem durchlaufenden Fernsehbild als grauer oder schwarzer Balken zu erkennen sind, d. h. nicht zum sichtbaren Bild zählen. Diese ca. 50 Zeilen werden für digitale Zusatzinformationen verwendet.

Zur Zeit werden die Videotext-Informationen digital in den Zeilen 11 bis 14 sowie 20, 21 im ersten Halbbild und in den Zeilen 324 bis 327 sowie 333, 334 im zweiten Halbbild übertragen.

Daraus folgt eine Übertragungsrate der Videotext-Informationen von ca. 300 Textzeilen je Sekunde, so daß beim in Deutschland und einem Großteil Europas verbreiteten Videotextsystem 12 Seiten pro Sekunde übertragbar sind.

Nachdem wir uns mit der prinzipiellen Funktionsweise befaßt haben, wollen wir nachfolgend auf die beiden Schaltungsteile des PC-VT 7000 im einzelnen eingehen.

Der Videotext-Decoder

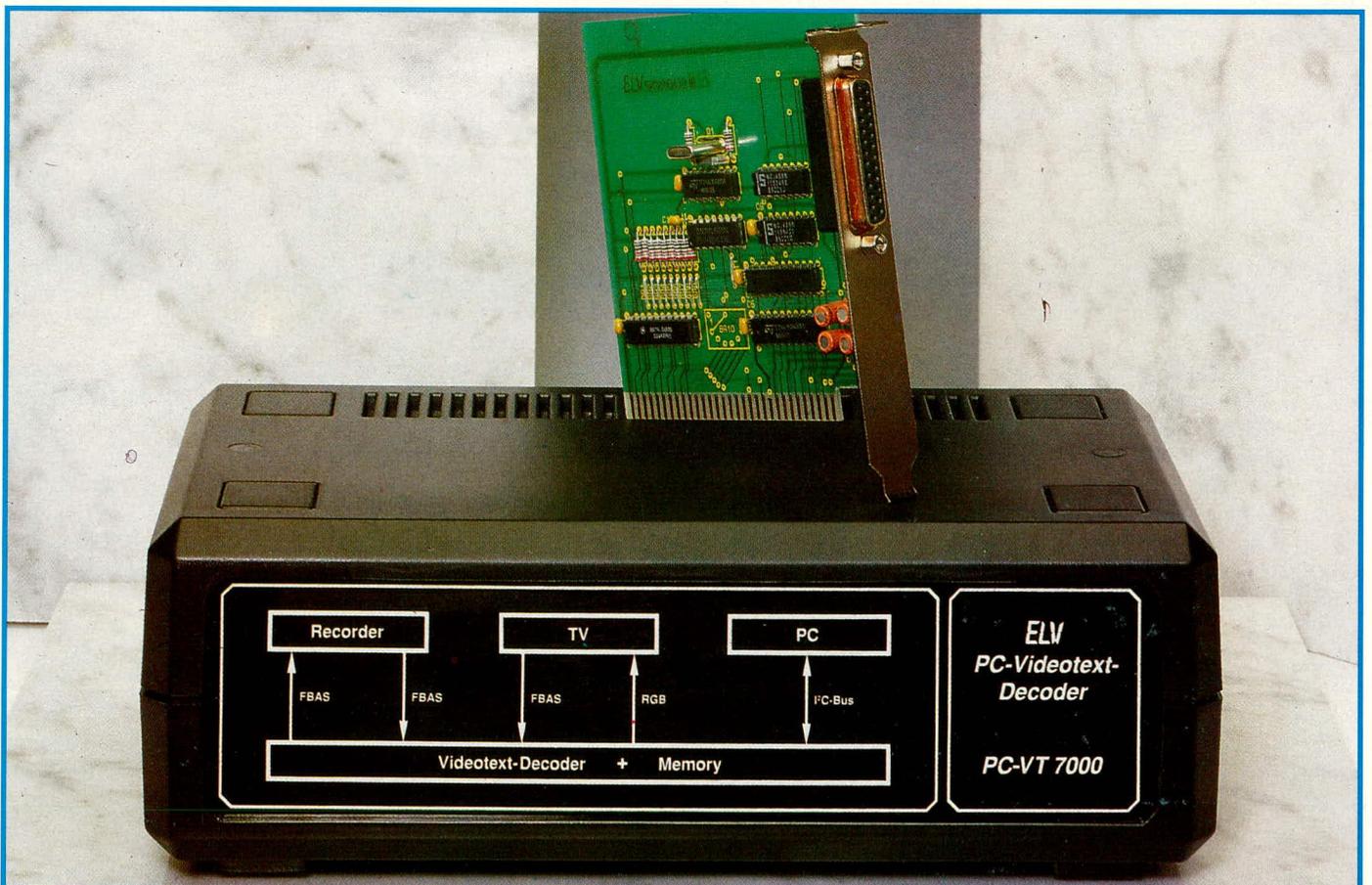
In Abbildung 2 ist das Schaltbild des eigentlichen Videotext-Decoders dargestellt. Wie bereits erwähnt, wird dieser Schaltungsabschnitt auf einer Leiterplatte im

7000er-Gehäuse untergebracht.

Gemäß dem Blockschaltbild, das im ersten Teil dieses Artikels in Abbildung 1 gezeigt ist, wird dem Videotext-Decoder das FBAS-Eingangssignal entweder von einem Fernsehgerät (über die Buchse BU 1 an Pin 20) oder von einem Videorecorder (über die Buchse BU 2 an Pin 20) zugeführt. Das vom TV-Gerät gelieferte FBAS-Signal wird mit R 1 abgeschlossen und auf Pin 4, 11 des CMOS-Schalters IC 5 gegeben. Erfolgt die Einspeisung von einem Videorecorder, gelangen diese Signale auf Pin 2, 15 des IC 5. Den zugehörigen Abschlußwiderstand bildet das TV-Gerät, dessen FBAS-Eingang an Pin 19 der Buchse BU 1 liegt. Ist hingegen kein Fernsehgerät angeschlossen, fehlt der Abschlußwiderstand, und S 1 ist in die obere Schaltposition zu bringen, so daß nun R 2 diese Aufgabe übernimmt.

Die Scart-Buchsen BU 1 und BU 2 sind so beschaltet, daß der Videorecorder in Verbindung mit dem Fernsehgerät auch mit angeschlossenem PC-VT 7000 unbehindert aufzeichnen und wiedergeben kann, ohne daß hierzu Steckverbindungen zu ändern sind.

Das FBAS-Eingangssignal trägt in der vertikalen Austastlücke die Videotext-Informationen und gelangt in der beschriebenen



nen Weise auf den elektronischen Umschalter IC 5. Je nach Stellung des Schalters S 2 (Rec/TV) wird entweder das vom Fernsehgerät oder das vom Tuner des Recorders kommende Signal auf die parallelgeschalteten Ausgänge (Pin 3, 13) durchgeschaltet. Hierzu steuert S 2 den zugehörigen Adreßeingang „A“ über R 40 an.

Vom Ausgang des IC 5 gelangt das FBAS-Signal über C 6 auf den Eingang (Pin 27) des Videoprozessors (IC 1) des Typs SAA 5231. Dieser hochintegrierte Baustein besitzt die Aufgabe, die digitalen Videotext-Informationen aus dem FBAS-Signal herauszufiltern und auszuwerten. Abbildung 3 zeigt das interne Blockschaltbild. Im

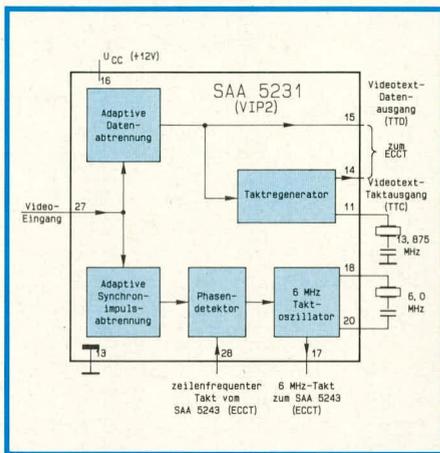


Bild 3: Blockschaltbild des Videoprozessors SAA 5231

einzelnen sehen die komplexen Aufgaben des SAA 5231 wie folgt aus:

- Abtrennen und Regenerieren der Videotext-Informationen
- Erzeugen eines zur Bildvorlage synchronen Taktsignals
- Ausgeben der Daten an den nachfolgenden Display-Controller
- Gewinnung der Synchronisationssignale aus dem FBAS-Videosignal
- Ausgabe der Synchronisationssignale an den nachfolgenden Display-Controller
- bei Ausfall der externen Synchronisation automatisches Umschalten auf eine interne Ersatzsynchronisation
- Ausgabe der Synchronsignale mit wahlweise negativer oder positiver Polarität an das Fernsehgerät
- phasenstare Verkopplung des 13,5 MHz-Oszillators mit dem eingespeisten FBAS-Signal
- Anpassung an die eingespeiste FBAS-Signalamplitude (einstellbar).

Das an Pin 27 des IC 1 eingespeiste FBAS-Signal wird gemäß dem Blockschaltbild (Abbildung 3) auf eine adaptive Datenabtrennung geführt, die bei 50 % der FBAS-Signalamplitude liegt. Dieser Abschneidepegel wurde gewählt, damit eine möglichst große Störfreiheit erreicht wird.

Die 8 Bit-Information besteht aus einem Paritätsbit und 7 Datenbits.

Des weiteren wird das Eingangssignal auf die unten links in Abbildung 3 eingezeichnete adaptive Synchronimpuls-Abtrennung gegeben. Die adaptive Datenabtrennung paßt den Abtrennpiegel automatisch der Videosignalamplitude an. Hierdurch werden automatisch niederfrequente Schwankungen ausgeglichen.

An Pin 15 des Videoprozessors werden die Videotextdaten und an Pin 14 der zugehörige Takt zur weiteren Verarbeitung im Display-Controller ausgegeben.

Damit die Videotextzeichen auf dem Bildschirm exakt mit dem Videosignal synchron laufen, wie es z. B. bei Untertiteleinblendungen erforderlich ist, wird der interne 6 MHz-VCO (spannungsgesteuerter Oszillator) über einen Phasendetektor mit Hilfe eines zeilenfrequenten Taktes an Pin 28 nachgesteuert. Die aus dem Videoeingangssignal intern abgetrennten Synchronimpulse werden ebenfalls auf diesen Phasendetektor gegeben. Das jetzt phasenstarr mit den Synchronimpulsen gekoppelte 6 MHz-Taktsignal wird an Pin 17 ausgegeben und dem Display-Controller SAA 5243 an Pin 9 zur Verfügung gestellt.

Der SAA 5243 bildet zusammen mit dem statischen RAM 6264 und dem Videoprozessor SAA 5231 das Herz des Videotext-Decoders. Anzumerken ist in diesem Zusammenhang, daß die beiden Schaltkreise SAA 5231 und SAA 5243 der Firma VALVO direkt kompatibel sind zu den Typen SDA 5231 und SDA 5243 der Firma Siemens.

An Pin 28 wird dem IC 1 ein vollständiges Synchronisationssignal zur Verfügung gestellt, das im SAA 5243 generiert wird. Bei Ausfall des senderseitigen Synchronisationssignals wird automatisch im Videoprozessor (IC 1) auf dieses Ersatzsignal umgeschaltet. An Pin 22 wird dem IC 1 der ebenfalls vom SAA 5243 generierte Sandcastle-Impuls eingespeist, der unter anderem für die Videotext-Datenabtrennung im Prozessor benötigt wird.

C 15 und L 1 bilden die externe Beschaltung des 6,938 MHz-Datentaktfilters, während Q 2 und C 25 die externe Beschaltung des 13,875 MHz-Oszillators darstellen.

An Pin 1 des Videoprozessors wird das Composite-Sync-Signal zur Synchronisation eines Fernsehgerätes ausgegeben. Der nach +12 V geschaltete Widerstand R 21 bestimmt gleichzeitig die Polarität dieser Synchronimpulse. Der Quarz Q 1 sowie C 13, C 14 und R 25 bilden die externen Komponenten des phasenstarr mit dem Synchronsignal verbundenen 6 MHz-Oszillators. Mit dem C-Trimмер C 14 kann die Synchronisation eingestellt werden.

Kommen wir als nächstes zur Beschrei-

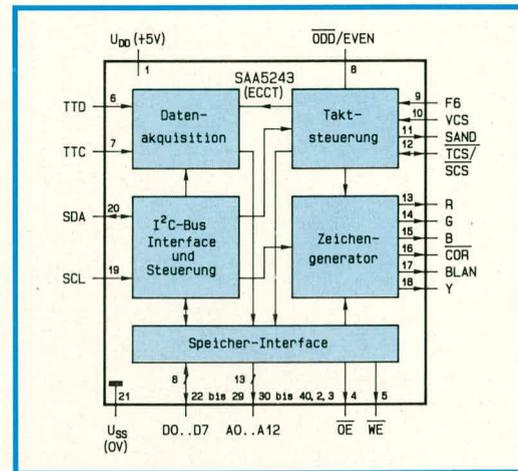


Bild 4: Blockschaltbild der ECCT-Schaltung SAA 5243

bung der recht komplexen Funktionsabläufe des Videotextschaltkreises IC 2. Diese ECCT-Schaltung (Enhanced Computer controlled Teletext) des Typs SAA 5243 bildet das Schlüsselbauelement des eigentlichen Videotext-Decoders. Das IC enthält den Zeichengenerator, die Bildschirmausgabe, die Datenakquisition, das I²C-Bus-Interface/Steuerung, die Taktsteuerung sowie das Speicherinterface. Darüber hinaus stehen folgende Sonderfunktionen zur Verfügung:

- integrierter Zeichengenerator mit 160 alphanumerischen sowie 2 x 64 grafischen Zeichen in Form einer Rasterpunktmatrix aus 12 horizontalen und 10 vertikalen Punkten,
- benutzersteuerbare Zeichenhöhenverdopplung, wahlweise für die obere und untere Bildhälfte,
- Einblendung aller Zeichen und Farben über den I²C-Bus. Der angewählte Zeichenplatz kann durch einen Cursor sichtbar gemacht werden,
- Darstellung von Statusinformationen über oder unter dem Haupttext,
- automatische Umschaltung des Zeichensatzes auf eine von 6 Sprachen durch spezielle Steuerbits in der Seitenüberschrift,
- gleichzeitiger Suchvorgang von bis zu 4 Seiten,
- Möglichkeit zum Pseudoreihenempfang
- Datenempfang in allen Zeilen des Vollbildes (full-channel-mode) mit schnellstem Seitenzugriff.

An Pin 6 werden die Daten und an Pin 2 das Clocksignal nach Überprüfung auf Korrektheit vom Videoprozessor übernommen. Über die Speicherschnittstelle werden diese Daten in das externe statische RAM des Typs 6264 geschrieben. Die Datenakquisition ist so ausgelegt, daß 4 Videotextseiten gleichzeitig gesucht und im Seitenspeicher (externes RAM) abgelegt werden können. Es erfolgt somit eine gleich-

zeitige Aktualisierung der 4 entsprechenden Seiten.

Der Speicherzugriff erfolgt über Pin 4 des IC 2 (OE:Output Enable) und Pin 5 (R/W: Read/Write). Der Datenaustausch wird über die Anschlußpins 22 bis 29 und die Adressierung über die Pin 2, 3, 30 - 40 vorgenommen. Die im SAA 5243 integrierte Taktsteuerung kommuniziert mit dem Videoprozessor IC 1 über die Pins 9-12.

Die Ausgabe der Zeichen, d. h. die Bildausgabe erfolgt über die 3 RGB-Ausgänge Pin 13, 14, 15. Der im IC 2 integrierte Zeichengenerator verfügt dabei über einen Satz von 256 Zeichen. Als weitere Besonderheit sind softwaregesteuert Zeichensätze für 6 verschiedene Sprachen selektierbar, was besonders bei nationalen Sonderzeichen von Bedeutung ist.

Pin 17 stellt das Blankingsignal für die RGB-Eintastung bereit. Dieses Signal ist beim Mischbetrieb, etwa der Untertitel-Einblendung, von Bedeutung. Softwaregesteuert kann zwischen 2 Betriebsarten gewählt werden:

- Direkte Zeicheneinblendung (Superimpose)
- Umfeldaustattung

Das Y-Signal wird unabhängig von der gewählten Farbe an Pin 18 des IC 2 ausgegeben und ist somit nur in der Zeichenebene wirksam. Der Y-Signalausgang verfügt nicht über die Blink-Funktion. Bei den Ausgängen RGB, Blanking und Y handelt es sich um Open-Drain-Ausgänge, so daß hierfür Pull-up-Widerstände vorgesehen werden müssen (R 11, 12 beim Rot-Signal, R 13, 14 beim Grün-Signal sowie R 15, 16 beim Blau-Signal). Gleichzeitig wird durch das Verhältnis dieser Widerstände der Signalpegel an den Basen der 3 RGB-Ausgangstransistoren festgelegt.

Mit Hilfe des Trimmers R 27 kann der Ausgangspegel der RGB-Ausgänge sowie des Y-Ausgangs angepaßt werden. Dadurch ist der Kontrast der eingeblendeten Zeichen individuellen Wünschen entsprechend anpaßbar.

Für die Entkopplung der 4 Ausgänge sind die Dioden D 1 bis D 4 vorgesehen. Die Treiberendstufen für die RGB-Ausgangssignale sowie das Blankingsignal sind mit den in Kollektorschaltung betriebenen Transistoren T 1 bis T 4 aufgebaut. R 3 bis R 6 bestimmen die Ausgangsimpedanz und sorgen für eine optimale Leistungsanpassung. Die Auskopplung der Signale erfolgt an der TV-Scart-Buchse.

Wie bereits erwähnt, bietet der PC-VT 7000 dem Anwender auch die Möglichkeit, Videotext-Untertitel auf einem angeschlossenen Videorecorder aufzuzeichnen (z. B. für Hörgeschädigte). Hierzu wird das an Pin 18 des IC 2 anstehende Y-Signal über R 30 auf die Basis des Emitterfolgers T 6 gegeben. Mit R 32 wird das vom IC 1 (Pin 1) kommende Composite-Sync-Signal zugemischt. C 32 sorgt für die erforderliche Gleichspannungs-Entkopplung. Die Kombination von R 30 und R 31 bildet den Pull-up-Widerstand für den Open-Drain-Ausgang des Y-Signals (Pin 18 des IC 2).

Am Emitter von T 6 steht das gepufferte BAS-Signal zur Verfügung und gelangt auf die Eingänge (Pin 1, 3) der elektronischen Schalter IC 4 B, C. Am jeweils zweiten Eingang (Pin 2, 5) dieser Schalter liegt das FBAS-Eingangssignal (Originalbild) an, d. h. es kann zwischen beiden Signalen umgeschaltet werden. Zur Erzielung des korrekten Gleichspannungspegels wird das FBAS-Eingangssignal über C 30 auf eine Tastklemmstufe, bestehend aus IC 4 A, R 33, R 35, R 36 sowie C 31, gegeben. Mit Hilfe der positiven Synchronimpulse (geliefert von IC 1, Pin 25) wird der elektronische Schalter IC 4 A so angesteuert, daß das Eingangssignal während der Synchronimpulse auf den durch R 35, 36 festgelegten Spannungspegel geklemmt wird. Hierdurch liegt an den bereits erwähnten zweiten Eingängen (Pin 2, 5) des IC 4 B, C der für den einwandfreien Betrieb erforderliche Pegel an.

Die Ansteuerung des elektronischen Schalters IC 4 B, C erfolgt in Abhängigkeit

vom Blankingsignal. Am Ausgang (Pin 15) können je nach Ansteuerung 3 verschiedene Signalkonfigurationen gewählt werden:

1. Original-Eingangs-FBAS-Videosignal
2. Videotextbild
3. Superimpose-Signal (Mischbetrieb)

In letztgenannter Betriebsart steht am Ausgang das FBAS-Videosignal mit eingeblendetem BAS-Videotextsignal an. Dieses Mischsignal gelangt über C 5 auf die Basis der mit T 5 aufgebauten Impedanzwandlerstufe. Am Emitter wird das Signal ausgekoppelt und dem Videorecorder an Pin 19 der Scart-Buchse zur Aufnahme zur Verfügung gestellt.

Die Verbindung zum externen Computer (IBM-PC oder dazu kompatible Rechner) erfolgt über den Stecker ST L1. Über die entsprechende Verbindungsleitung wird sowohl die Spannungsversorgung der Videotext-Decoder-Platine als auch der Datenaustausch vorgenommen.

Die Steuerung aller Funktionen erfolgt über die I²C-Bus-Schnittstelle Pin 20 (Daten) und Pin 19 (Clock) des IC 2. Diese schnelle serielle Schnittstelle wird von der zugehörigen I²C-Bus-Schnittstellenkarte im PC angesteuert, wobei R 28, 29 als Pull-up-Widerstände und R 41, 42 als Eingangsschutz dienen.

Als zusätzliches Feature ist der PC-VT 7000 mit einer Erweiterungs-Steckleiste (ST 12) ausgestattet. Hier stehen wesentliche Steuer- und Datensignale an, so daß für zukünftige Erweiterungen einige Möglichkeiten offen bleiben.

I²C-Bus-Controller-Einsteckkarte

Die Kommunikation zwischen Steuer-PC und eigentlichem Videotext-Decoder erfolgt über die I²C-Bus-Controller-Einsteckkarte. Damit hier eine schnelle und effektive Datenübertragung möglich ist, wird der I²C-Bus des betreffenden Bausteins (IC 2) auf der Videotext-Decoder-Platine direkt von der PC-Einsteckkarte angesteuert.

In Abbildung 5 ist das Blockschaltbild der I²C-Bus-Controller-Einsteckkarte dargestellt. Ganz links ist die Schnittstelle zum PC zu sehen. Über diesen PC-Bus erfolgt die Steuerung der Einsteckkarte. Der Adreßvergleich überprüft die Adreßleitungen auf Übereinstimmung mit den eingestellten I/O-Adressen und meldet die Auswertung an die Steuerlogik. Über die Steuerleitungen in Verbindung mit der Steuerlogik wird das 8 Bit-D-Latch angesteuert. Dieser Zwischenspeicher übernimmt seine Daten vom PC-Datenbus, sobald auf die Kartenadresse schreibend zugegriffen wird. Die sich anschließenden Treibertransistoren mit Open-Kollektor-Ausgängen stellen die PC-Sendeseite des I²C-Bus dar. Werden hingegen Daten, die über den I²C-Bus vom Videotext-Decoder kommen, gelesen, gelangen diese auf die Eingänge SCL

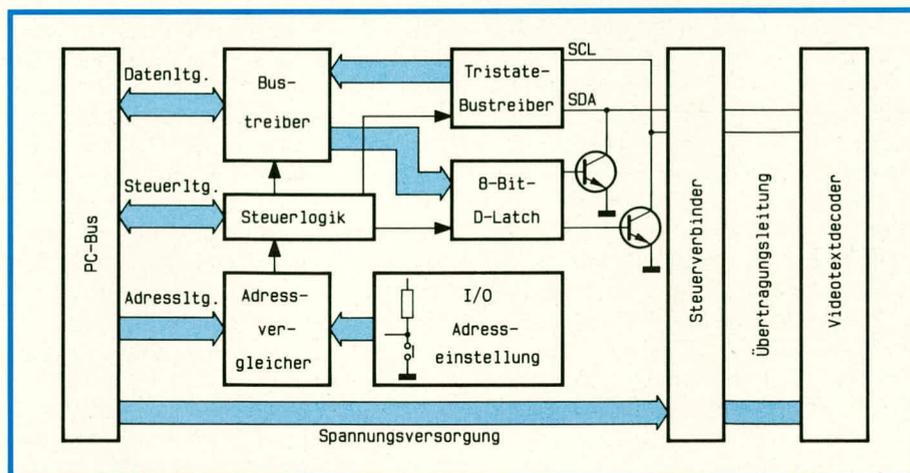


Bild 5: Blockschaltbild der I²C-Bus-Controller-Einsteckkarte

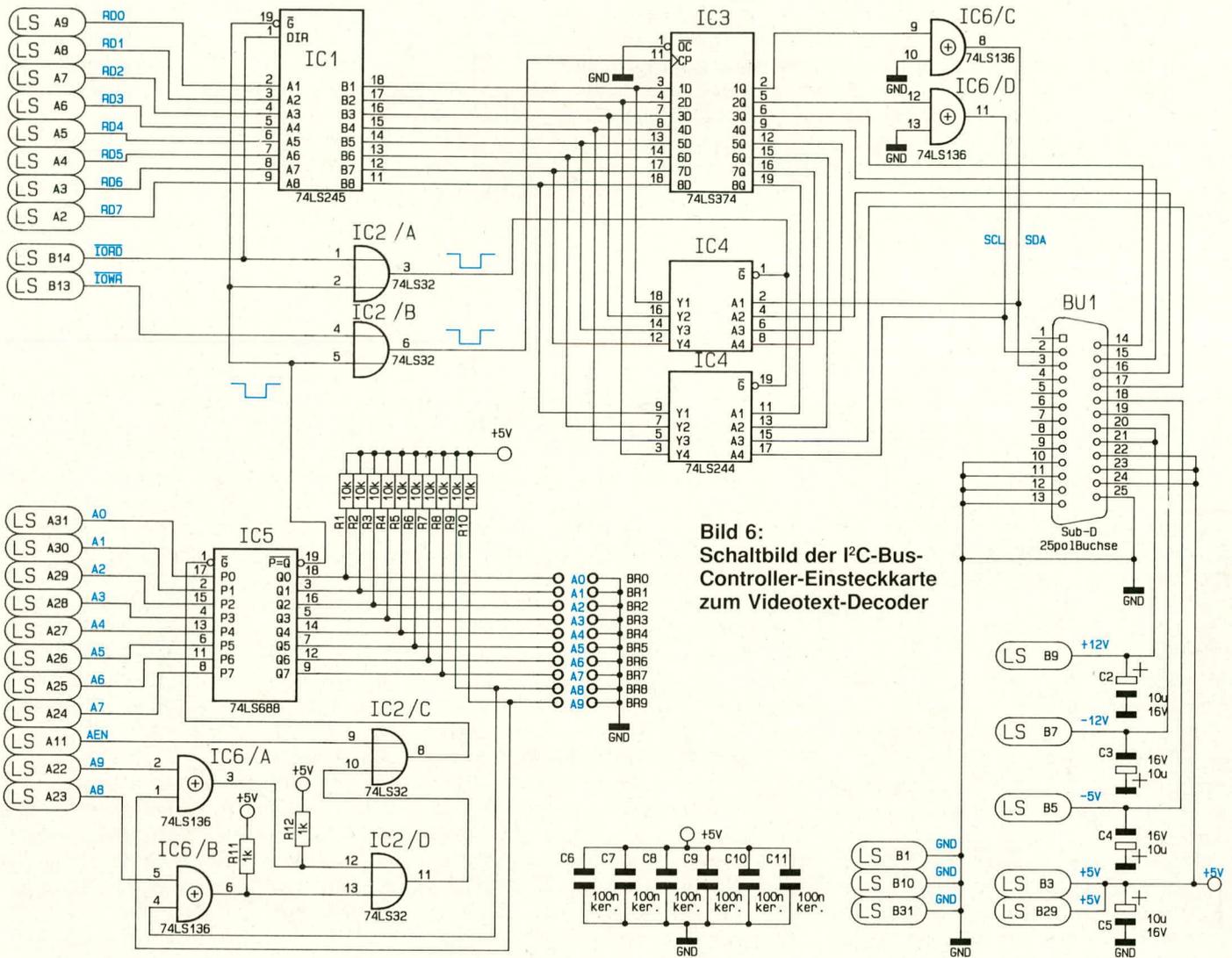


Bild 6:
Schaltbild der I²C-Bus-Controller-Einsteckkarte zum Videotext-Decoder

und SDA des Tristate-Bustreibers, der, ebenfalls angesteuert von der Steuerlogik, nur während der Lesephasen arbeitet. Von dort geht es weiter über den Bustreiber zu den Datenleitungen des PC-Bus.

Die detaillierte Schaltung ist in Abbildung 6 zu sehen. Den bidirektional arbeitenden Bustreiber stellt IC 1 des Typs 74 LS 245 dar, das links an die Datenleitungen des PC-Bus angeschlossen ist. Die Richtungsumschaltung erfolgt über die PC-Steuerleitung IORD (B 14), die weitergeführt wird auf IC 2 A. Die zweite PC-Steuerleitung IOWR (B 13) ist auf ein weiteres Gatter (IC 2 B) gegeben. Diese beiden Gatter stellen die in Abbildung 5 gezeigte Steuerlogik dar und werden an ihren Eingängen Pin 2, 5 vom Adreßvergleichler freigegeben, sobald die Kartenadresse angesprochen wird.

Die Festlegung, bei welcher Adresse diese Schaltung angesprochen wird, erfolgt durch die Brücken BR 0 bis BR 9. Soll z. B. die Adresse „000000000“ zur Aktivierung dieser Schaltung gewählt werden, sind die Brücken BR 0 bis BR 9 alle zu schließen. Legt nun der Rechner an die Adreßleitungen A 0 bis A 9 jeweils den

logischen Pegel „0“ an, so stellen die beiden Vergleichler IC 5 sowie IC 6 A, B eine Übereinstimmung mit der durch die Brücken programmierten Adresse fest.

Als weitere Bedingung zur Aktivierung dieser Schaltung müssen die Eingänge AEN sowie eine der beiden I/O-Lese- bzw. Schreibleitungen IORD oder IOWR Low-Potential annehmen. Ist dies der Fall, wechselt der Ausgang (Pin 19) des IC 5 auf Low-Potential und gibt die weitere Schaltung frei.

Durch die vorstehend bereits erwähnten Steuerleitungen IORD und IOWR wird festgelegt, ob auf das 8 Bit-D-Latch IC 3 des Typs 74 LS 374 geschrieben oder vom Tristate-Bus-Treiber IC 4 des Typs 74 LS 244 gelesen wird.

Die beiden Ausgänge 1Q und 2Q des Zwischenspeichers IC 3 steuern direkt die beiden EXOR-Gatter IC 6 C, D an. Diese Gatter erfüllen im vorliegenden Fall ausschließlich Treiberfunktionen und besitzen Open-Kollektor-Ausgänge. Sie entsprechen den beiden im Blockschaltbild eingezeichneten Transistoren.

Für die Lesevorgänge sind diese Leitun-

gen an die Eingänge A 1 und A 4 des Tristate-Bustreibers IC 4 angeschlossen.

Die Ausgänge 5Q bis 8Q des IC 3 sind über den Zwischenspeicher IC 4 direkt auf die entsprechenden Eingänge zurückgeführt. Hierdurch kann diese Einsteckkarte softwaremäßig selektiert sowie eine Fehlermeldung ausgegeben werden, die dem Anwender mitteilt, daß die Karte nicht vorhanden oder nicht ansprechbar ist.

Die Ausgänge 3Q, 4Q des IC 3 sowie die Eingänge A2, A3 des IC 4 sind für spätere Erweiterungsmöglichkeiten an die Buchse BU 1 geführt (25polige Sub-D-Buchse). Hier wird der entsprechende Stecker zur Verbindung mit dem eigentlichen Videotext-Decoder über eine ca. 2 m lange Leitung angeschlossen. Diese Buchse ist neben dem Datentransfer auch für die Zuführung der Versorgungsspannungen +12 V, -12 V, -5 V sowie +5 V und des Massepotentials (GND) an den eigentlichen Videotext-Decoder zuständig.

Nachdem wir uns mit der Schaltungstechnik ausführlich befaßt haben, folgt im dritten Teil dieses Artikels die Darstellung von Nachbau und Inbetriebnahme. **ELV**