Prozessor-Multi-Funktions-Generator FG 9000 Teil 2

Nachdem wir uns im ersten Teil dieser Artikelserie mit der Bedienung und den Leistungsmerkmalen dieses außergewöhnlichen Funktionsgenerators befaßt haben, wird im vorliegenden Teil die innovative und ausgereifte Schaltungstechnik des FG 9000 beschrieben.

Schaltungsbeschreibung FG 9000

In Teil 1 dieses Artikels (ELV 3/91) wurde bereits das Blockschaltbild mit einer prinzipiellen Funktionsbeschreibung des FG 9000 veröffentlicht. Zum besseren Verständnis wird an einigen Stellen der nun folgenden detaillierten Schaltungsbeschreibung auf das Blockschaltbild zurückgegriffen, es empfiehlt sich daher, dieses ebenfalls zur Hand zu nehmen.

Bild 11 zeigt die CPU mit angeschlossenem RAM- und ROM-Speicher. Zusätzlich befinden sich in diesem Schaltbild mit den ICs 109 und 116 zwei Schaltungseinheiten, die von der logischen Funktion den beiden Schnittstellen IEC-Bus und V24B zugeordnet sind. Mit Hilfe der ICs 106-108 vom Typ 74LS138 wird die Adreßdekodierung der zahlreichen am Datenbus befindlichen Bustreiber/Zwischenspeicher vorgenommen.

Zur zentralen Steuerung des FG 9000 wird eine Z80B-CPU (IC 112) verwendet. Das entsprechende Steuerungsprogramm steht in einem 32 k-EPROM vom Typ ELV 9136 (27256) (IC 111), welches als Programm-Speicher verwendet wird (vgl. auch Blockschaltbild). Als Zwischenspeicher greift die CPU auf das IC 110, einem 8 k RAM vom Typ 6264 zu. In diesem RAM befinden sich auch die Speicherplätze, in denen die insgesamt 10 verschiedenen Einstelldaten des FG 9000 gespeichert werden.

Die Versorgungsspannung des RAMs wird durch die über die Diode D 114 und den Widerstand R 167 zugeführte Versorgungsspannung in Verbindung mit den drei Akkus (AK1 - AK3) gepuffert. Hierdurch ist gewährleistet, daß nach dem Ausschalten des Gerätes die Einstelldaten gespeichert bleiben.

Die Adreßumschaltung zwischen EPROM (IC 111) und RAM (IC 110) wird mit der Adreßleitung A15 vorgenommen. A15 selektiert das RAM über den Anschlußpin 26 (CS 2) und das EPROM über Pin 20 (CS). Das EPROM liegt somit im Adreßbereich von 0000 bis 7FFF (A15 = low) und das RAM im Adreßbereich von 8000 bis FFFF (A15 = high).

Mit Hilfe des ODER-Gatters IC 114 wird das $\overline{R/W}$-Signal für das RAM aus den CPU-Signalen $\overline{MREQ}$ und $\overline{WR}$ erzeugt. Das OE-Signal (Output Enable) für RAM und EPROM wird durch die Oder-Verknüpfung der CPU-Signale $\overline{RD}$ und $\overline{MREQ}$ gewonnen.

Der Datenbus der CPU (D0 - D7) wird mit dem IC 113, einem bidirektionalen Bustreiber vom Typ 74LS245, gepuffert. Die Clock-Frequenz für die CPU (Pin 6) beträgt 5 MHz. Auf die Erzeugung des Clocksignals gehen wir im weiteren Verlauf der Schaltungsbeschreibung noch näher ein.

Die am oberen rechten Schaltbildrand eingezeichneten Leitungen führen zu dem V24- sowie dem IEC-Bus-Controller. Es werden hier jeweils die 8 Datenleitungen sowie 8 Steuerleitungen für den IEC-Bus-Controller und 6 Steuerleitungen für den V24B-Controller benötigt.

Über dem an der Geräterückseite eingebauten 8-fach-Dipschalter DP 101 in Verbindung mit den 8 Pull-up-Widerständen R 172 - 179 sowie dem Bustreiber IC 116 wird die IEC-Bus-Geräteadresse eingestellt. Diese Adresse wird nach dem Einschalten des Gerätes einmalig eingelesen. Soll also eine neue Adresse eingestellt werden, so muß zunächst die Einstellung erfolgen und anschließend der FG 9000 einmal aus- und wieder eingeschaltet werden.

Mit dem IC 109, einem 14-stufigen Binärzähler mit eingebautem Oszillator, in Verbindung mit den externen Bauelementen Q 101, R 165 sowie dem Jumperfeld JP1 - JP6 wird die Baudrate (Übertragungsdatenrate) der V24B-Schnittstelle vorgegeben. Durch Aufstecken eines Jumpers wird ein entsprechendes Ausgangssignal (Q 4 - Q 9) ausgewählt und an den V24-Controller weitergegeben. Die Frequenz des jeweils gewählten Ausgangssignales dividiert durch 16 ergibt die Baudrate.

Damit sind die im Blockschaltbild mit den Nummern 1-3 bezeichneten Blöcke soweit abgehandelt, und wir fahren mit der Beschreibung des Blockes 4, der Anzeigeneinheit, fort.

In Abbildung 12 ist die Anzeigeneinheit des FG 9000 dargestellt. Es müssen 22 7-Segmentanzeigen und 32 LEDs gesteuert werden. Die gesamte Anzeigeneinheit ist in zwei 14-fach-Multiplexgruppen unterteilt. Zur Decodierung des Binärcodes für das jeweils aktive Digit dienen IC 101 und IC 102 des Typs 74LS156. Diese zwei Datenverteilerbausteine bekommen ihre Steuerinformationen über IC 601 (siehe Bild 7) von der Prozessoreinheit. Über die Open-Kollektor-Ausgänge werden in Verbindung mit den Vorwiderständen R 101 - R 126 sowie R 170 und R 171 die PNP-Transistoren T 101 - T 113 und T 130 angesteuert. Jeweils einer dieser Transistoren schaltet die gemeinsame Anode der zugehörigen 7-Segment-Anzeige bzw. die Anoden der jeweiligen LED-Gruppe auf die positive Versorgungsspannung +5V UNST.

Die Auswahl des jeweiligen Segments einschließlich Dezimalpunkt der Anzeigen sowie der LEDs D 101 - D 129 und D 145 - D 147 erfolgt über die Transistoren T 114 - T 129. Mit den 33 Ohm-Widerständen in den Kollektorzweigen erfolgt eine Begrenzung der Segment- bzw. LED-Ströme (Widerstände R 127 - 150).

Die Segment/LED-Treiber-Transistoren T 114 - T 121 der oberen Anzeigengruppe werden von IC 103, einem 8-Bit D-Register, angesteuert. Für die Treiber-Transistoren der unteren Anzeigengruppe übernimmt diese Aufgabe das IC 104 des Typs 74LS374, ebenfalls ein 8-fach D-Register. Die beiden Speicherbausteine werden im I/O-Adreßbereich direkt von der Prozessoreinheit adressiert, wobei die Umwandlung in den 7-Segment-Code ebenfalls der Prozessor übernimmt.

Die Abfrage der insgesamt 42 Bedientasten des FG 9000 erfolgt ebenfalls nach dem Multiplexverfahren. Abbildung 13 zeigt die Beschaltung der 42 Bedientasten.

Über das IC 105, einem 8-Bit-Bus-Leitungstreiber, werden die Tastenzustände vom Prozessor abgefragt. Bei unbetätigten Tasten wird das Potential an den Eingän-

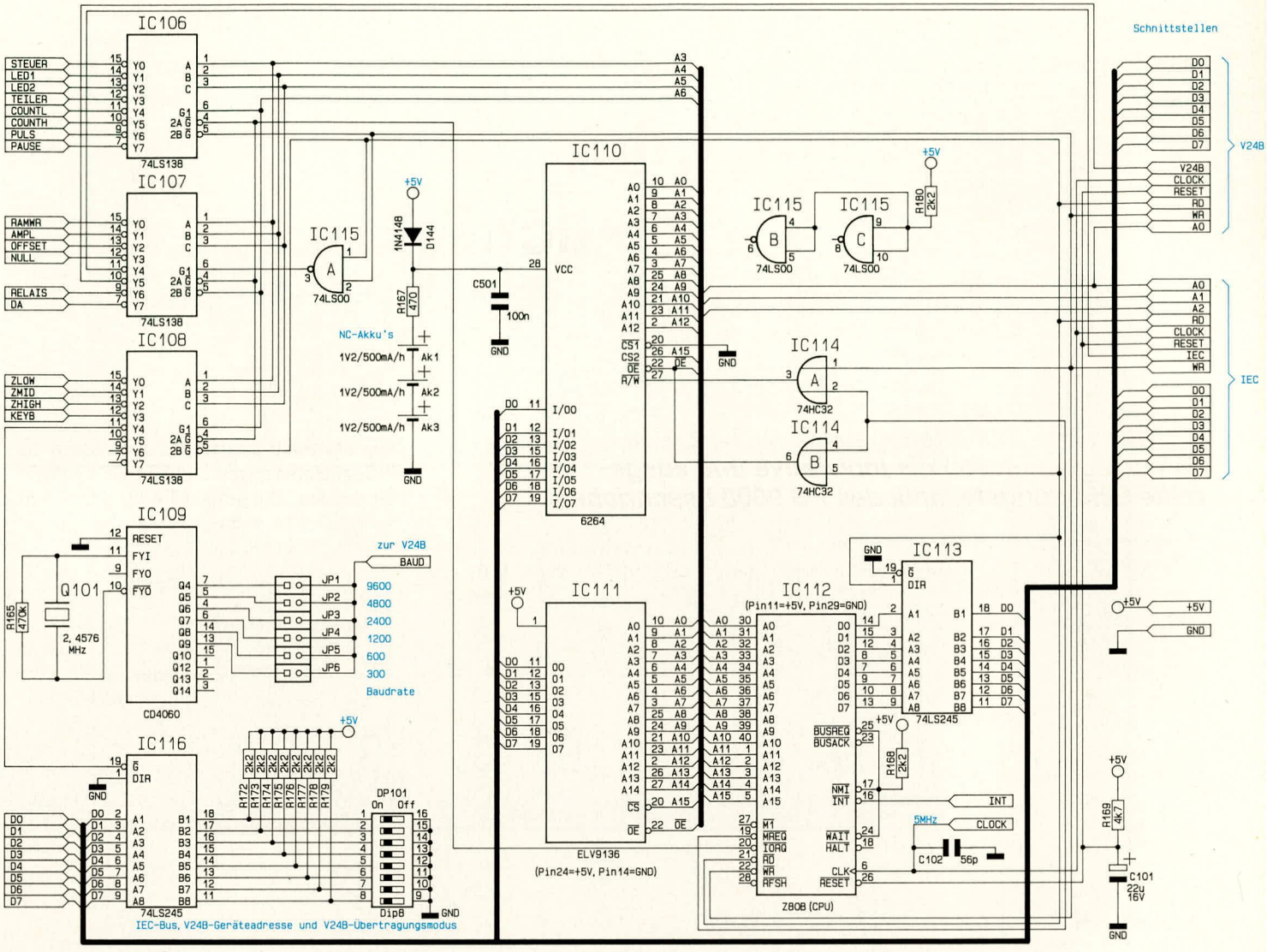

Bild 11: Z80B-CPU mit angeschlossenem RAM- und ROM-Speicher

gen B 1 - B 6 des IC 105 durch R 159 - R 164 mit +5 V vorgegeben. Die Freigabe der jeweils senkrecht angeordneten Tastengruppen erfolgt über D 130 - D 136 und wird vom Prozessor über IC 102 (siehe Bild 12) vorgegeben. Die Abfrage der Tasten erfolgt also synchron mit der Multiplexfrequenz und wird vom Prozessor der entsprechenden Funktion zugeordnet. In Tabelle 2 ist die Zuordnung der Tastennummer zu der entsprechenden Gerätefunktion dargestellt.

Als nächstes wenden wir uns den Schnittstellen des FG 9000 zu. Wir beginnen mit der IEC-Bus-Schnittstelle (siehe Blockschaltbild Block Nr. 6). Bild 14 zeigt das entsprechende Detailschaltbild. Zentraler Baustein der Schnittstellenschaltung ist das Controller-IC 301 vom Typ TMS9914. Die gesamte Verwaltung des IEC-Busses wird von diesem Controller mit Unterstützung der Treiberbausteine IC 302 und IC 303 durchgeführt. Die 8 Leitungen des Datenbusses werden über IC 302 des Typs 75160 getrieben. Der Steuerbus (ATN-, REN-, SRQ-, IFG- und EOI-Leitung) und die drei Handshake-Leitungen (NDAC, DAV und NRFD) werden über IC 303 (Typ 75161) geschaltet. Die CPU spricht bei der IEC-Bus-Verwaltung nur den Controller an. Dafür belegt der Controller 8 I/O-Adressen der CPU.

Bei der zweiten V24B-Schnittstelle handelt es sich ebenfalls um eine busfähige Schnittstelle. Abbildung 15 zeigt die entsprechende Schaltung. Bis zu 8 gleichartige Geräte können hier zusammen geschaltet werden. Der Hauptvorteil gegenüber einer IEC-Bus-Schnittstelle liegt darin, daß eine V24/RS232C-Schnittstelle, auf dem die V24B-Schnittstelle basiert, an jedem IBM-PC-XT/AT oder kompatiblen PC mindestens einmal standardmäßig vorhanden ist. D. h. es wird keine spezielle Controller-Karte für den PC benötigt.

Wesentlicher Bestandteil der V24B-Schaltung ist ein spezieller Controllerbaustein (hier IC 201 vom Typ 8251A). Über den Datenbus (D 0 - D 7) erhält dieser seine Daten von der Z80B - CPU. Der Controller IC 201 setzt daraufhin die zu sendenden bzw. zu empfangenden Signale entsprechend um. Damit die V24B-Schnittstelle universell einsetzbar ist, ist es erforderlich, die Baudrate einstellen zu können. Über die Frequenz des an den Anschlußpins TXC und RXC anliegenden Signals wird die Baudrate der Schnittstelle vorgegeben. Wie dieser Baudratentakt erzeugt wird, wurde bereits zu Beginn der Schaltungsbeschreibung erläutert (vgl. Schaltbild 1 mit der dazugehörigen Schaltungsbeschreibung).

IC 201 wird mit parallelen Daten des Prozessors gespeist und stellt seriell empfangene Daten im 8-Bit-Parallelformat zur Verfügung. Die Umwandlung parallel-seriell und zurück sowie die Erzeugung des Datenrahmens bzw. der Decodierung wird von diesem Baustein komplett eigenständig ausgeführt.

Unmittelbar nach dem Einschalten erhält das IC 201 einen Reset-Impuls und

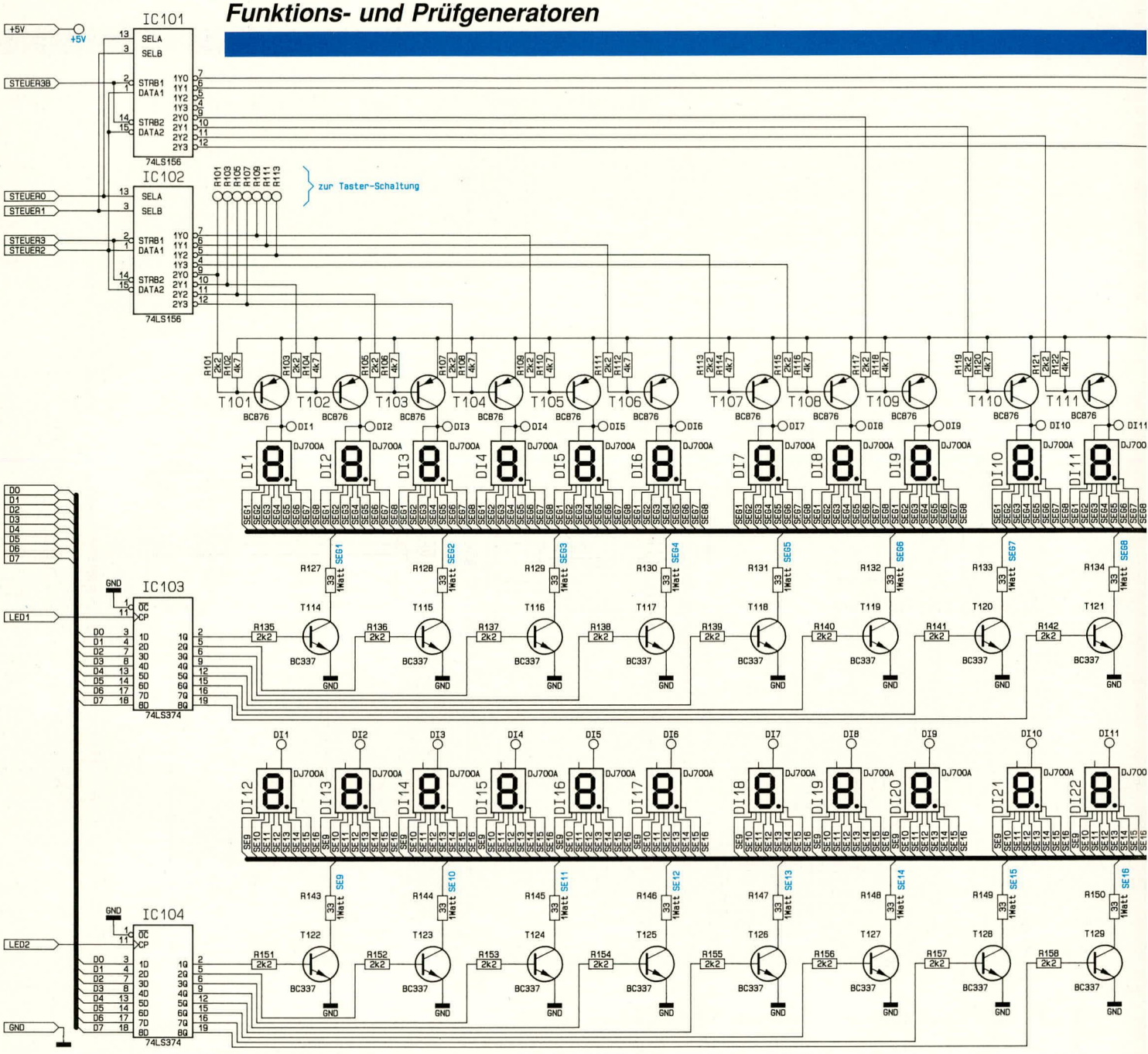

Tabelle 2:

Taster	Funktion	Taster	Funktion
Ta 101	Recall	124	Frequenz-
Ta 102	Store	125	Einstellung
Ta 103	Frequenz • 10	126	"
Ta 104	Signal ↑	127	"
Ta 105	Signal →	128	"
106	Signal ←	129	"
107	Signal ↓	130	Amplitude • 10
109	Burst ↑	131	Amplitude : 10
110	Burst ↓	132	Amplituden-
111	Pause ↑	133	Einstellung
112	Pause ↓	134	"
113	Phase ↑	135	"
114	Phase ↓	136	"
115	Pulse ↑	137	"
117	Frequenz : 10	138	Pulse ↓
118	Frequenz-	139	Offset-
119	Einstellung	140	Einstellung
120	"	141	"
121	"	142	"
122	"	143	"
123	"	144	"

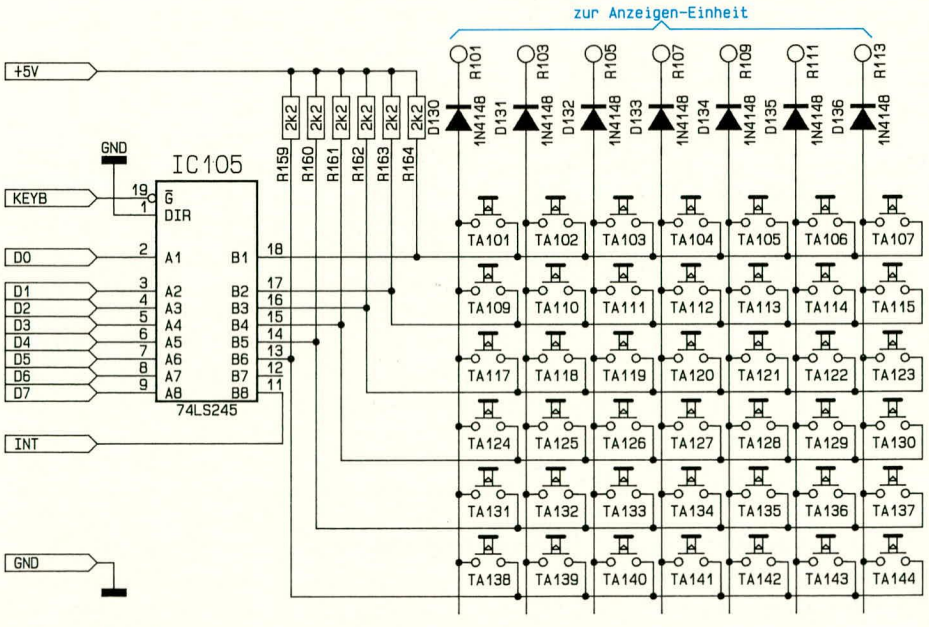

Bild 13: Schaltung der im Multiplexverfahren arbeitenden Eingabetastatur

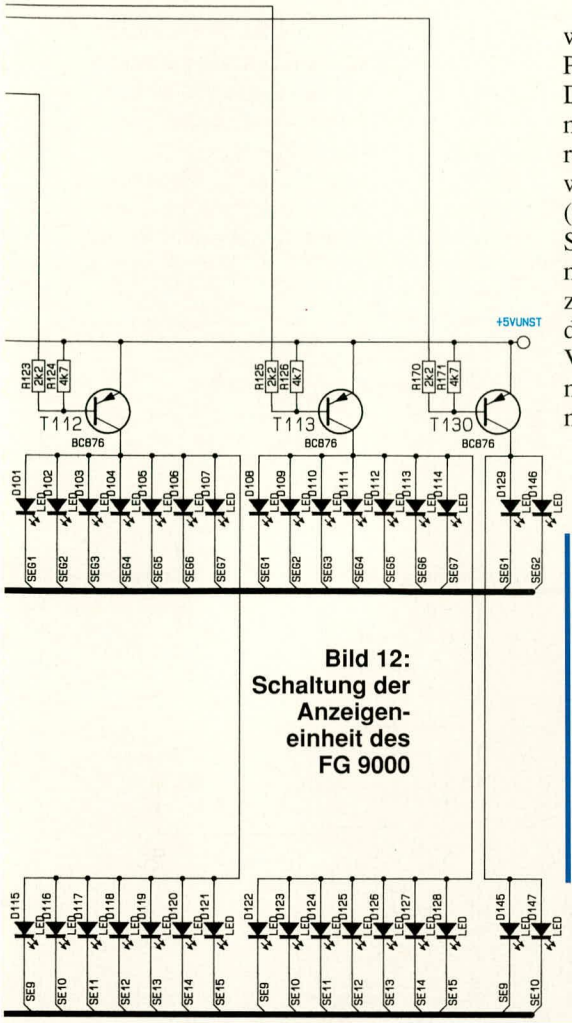

Bild 12: Schaltung der Anzeigeneinheit des FG 9000

wird in den ersten Programmschritten des Prozessors installiert, d.h. intern auf das Datenformat eingestellt. Dieses Format ist mit 8 Datenbits fest vorgegeben. Das Parity-Bit und die Anzahl der Stop-Bits werden mit Hilfe des 8-fach-Dipschalters (siehe Schaltbild 1) eingestellt. Der in Schaltbild 1 befindliche Dipschalter ist also nicht nur für die IEC-Bus-Geräteadresse zuständig, sondern übernimmt zusätzlich die oben angegebene Funktion für die V24B-Schnittstelle. (Die genaue Zuordnung der Dipschalter wird separat noch näher beschrieben).

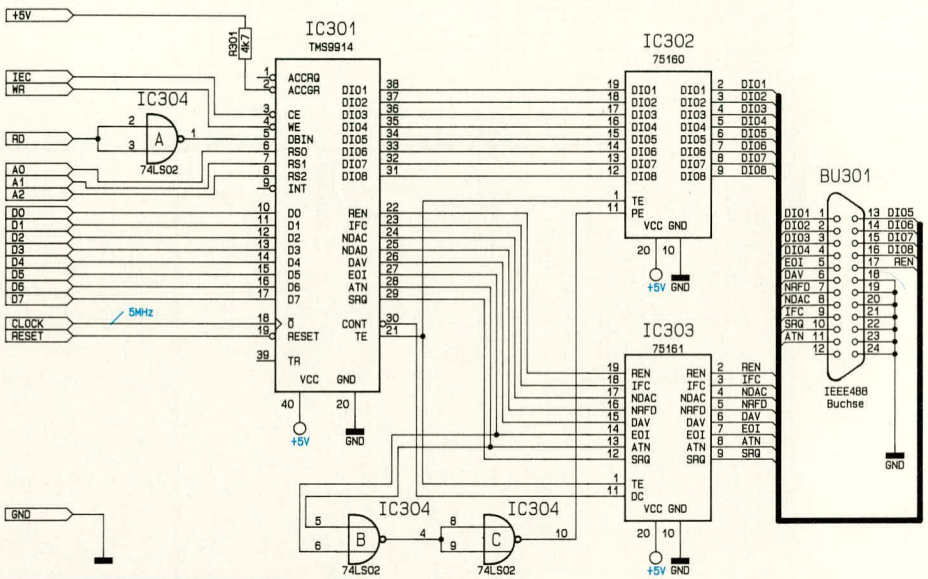

Bild 14: Schaltbild der IEC-Bus-Schnittstelle

Die 4 zur seriellen Schnittstelle gehörenden Leitungen CTS und TxD für den Sender bzw. RxD und RTS für den Empfänger sind über Optokoppler galvanisch vom Potential des FG 9000 getrennt.

Auch die Versorgungsspannung für den Betrieb der rechnerseitigen Treiberstufen wird über separate Trafowicklung (9 V/ 100 mA) gewonnen. Mit der Gleichrichterdiode D 203 wird in Verbindung mit dem Elko C 22 sowie dem Kondensator C 201 die positive Versorgungsspannung und mit D 204, C 204 und C 202 die negative Versorgungsspannung von jeweils ca. 12 V erzeugt. Dies entspricht dem genormten Pegel der RS232-Schnittstelle, die wiederum in gleicher Weise wie eine V24-Schnittstelle zu betreiben ist.

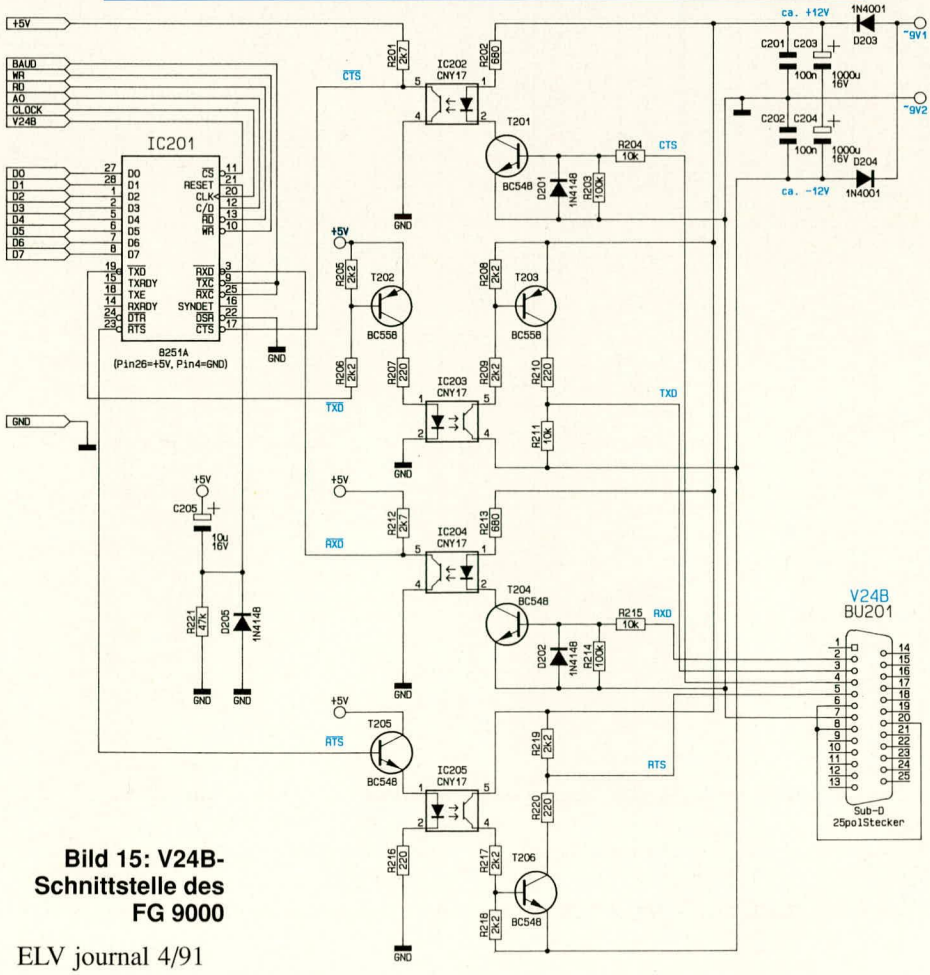

Bild 15: V24B-Schnittstelle des FG 9000

Jetzt sollen die Sende- und Empfangsstufen beschrieben werden. Die Empfangsleitungen des IC 201 (CTS und RxD) werden über die Optokoppler IC 202 und IC 204 angesteuert. R 201 und R 212 definieren hierbei den Arbeitspunkt der Optokoppler-Transistoren. Die Ansteuerung der Leuchtdioden in den Optokopplern erfolgt über T 201 und T 204 in Verbindung mit den Strombegrenzungswiderständen R 202 und R 213. Angesteuert werden die Transistoren über R 204 für die CTS-Leitung und R 215 für die RxD-Leitung. D 201, D 202 sowie R 203 und R 214 dienen dem Schutz der Basis-Emitter-Strecken bei negativen Ansteuersignalen. Die Ausgangsleitungen des IC 201 steuern über T 202 und T 205 die Optokoppler IC 203 und 205 an, welche für die Ausgangsleitungen TxD und RTS zuständig sind. Die Transistoren dieser beiden Optokoppler arbeiten auf die Leitungstreiber T 203 und T 206, wobei R 210 und R 220 für eine Kurzschlußfestigkeit der Ausgänge sorgen. Die Treiberstufen der TxD-

Leitung unterscheiden sich von der RTS-Leitung durch den inversen Aufbau, damit im Ruhezustand der Schnittstelle (TxD: Low-Pegel und RTS: High-Pegel) diese Anschlüsse relativ hochohmig sind und von anderen parallel liegenden Geräten genutzt werden können. Alle 4 Treiberstufen haben eine Inverterfunktion und passen

auf den Artikel "Die V24B-Schnittstelle" im ELVjournal 4/89 hin. Hier werden ausführlich die Besonderheiten der von ELV konzipierten, busfähigen, modifizierten V24-Schnittstelle beschrieben.

Als nächstes wenden wir uns der Beschreibung des digitalen Reglers des FG 9000 zu. Die grundsätzliche Funktion die-

digitalen Regler zugeordnet. Wir beginnen die Beschreibung mit den beiden Blöcken 11 und 12. In Bild 16 sind neben anderen Schaltungselementen diese beiden Funktionseinheiten untergebracht.

Das Referenzsignal für die Frequenzmessung wird mit Hilfe des von ELV entwickelten Präzisions-Quarzoszillators er-

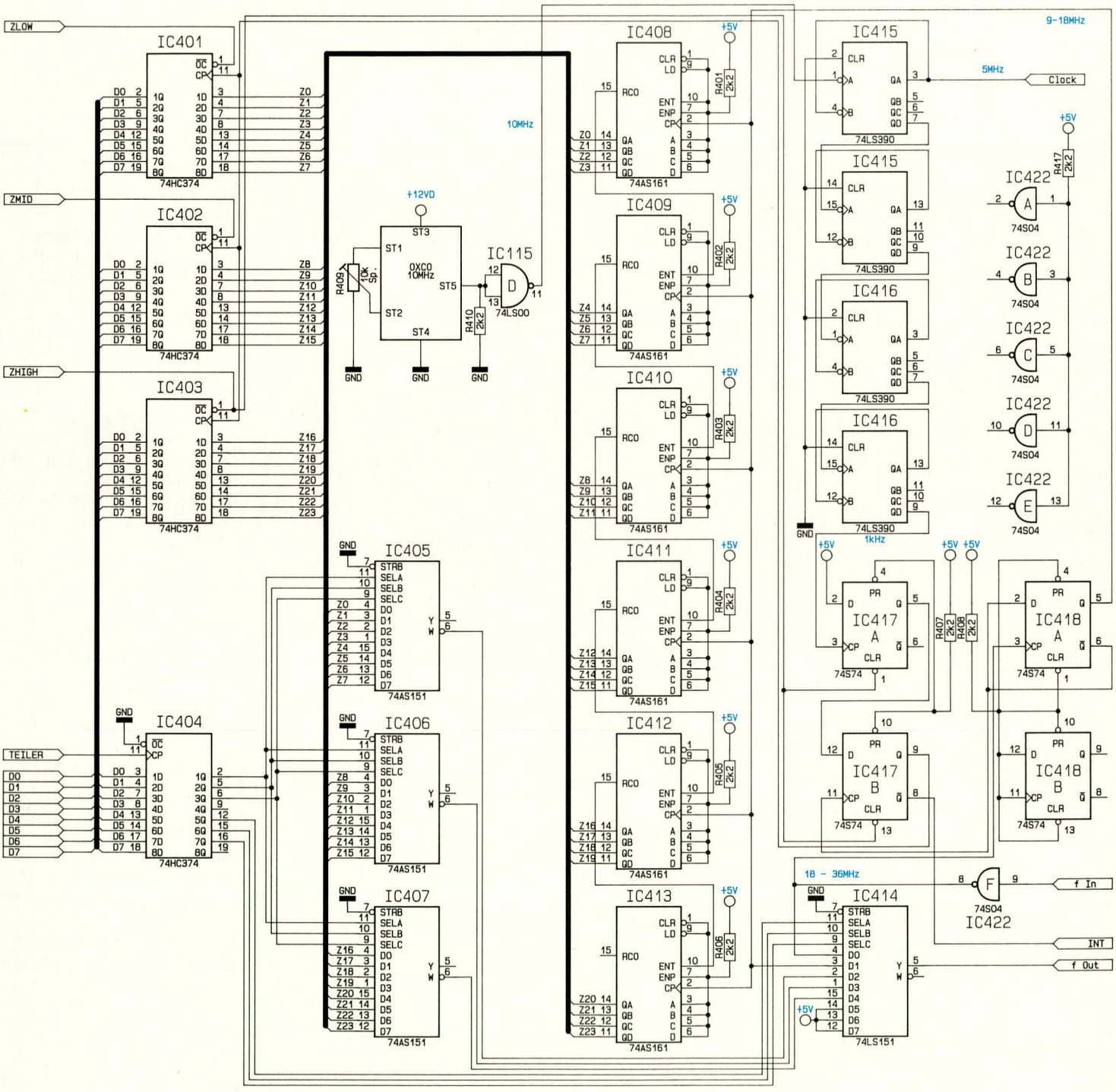

Bild 16: Schaltung der 24-Bit-Teilerkette, der Quarzzeitbasis sowie des Registers für die Frequenzmessungen.

damit die Ausgangspegel des IC 201 den genormten Leitungspegeln an.

In diesem Zusammenhang weisen wir

ser Schaltungsstufe wurde bereits in Teil 1 der Artikelserie beschrieben. Die Blöcke 8-14 sowie die CPU Block 1 sind dem

zeugt. Die genaue Funktion dieses Moduls wird in einem separaten Artikel „Präzisions-Quarzoszillator", ebenfalls im ELVjournal

4/91, ausführlich beschrieben. Mit dem externen, am ELV-OCXO-Modul angeschlossenen Spindeltrimmer R 409 erfolgt der Abgleich der Ausgangsfrequenz des Oszillators auf exakt 10 MHz. Das Ausgangssignal der Quarzzeitbasis (Anschlußpin ST 5) gelangt über das NAND-Gatter IC 115 auf die mit den ICs 415 und 416 aufgebaute Teilerkette, bestehend aus

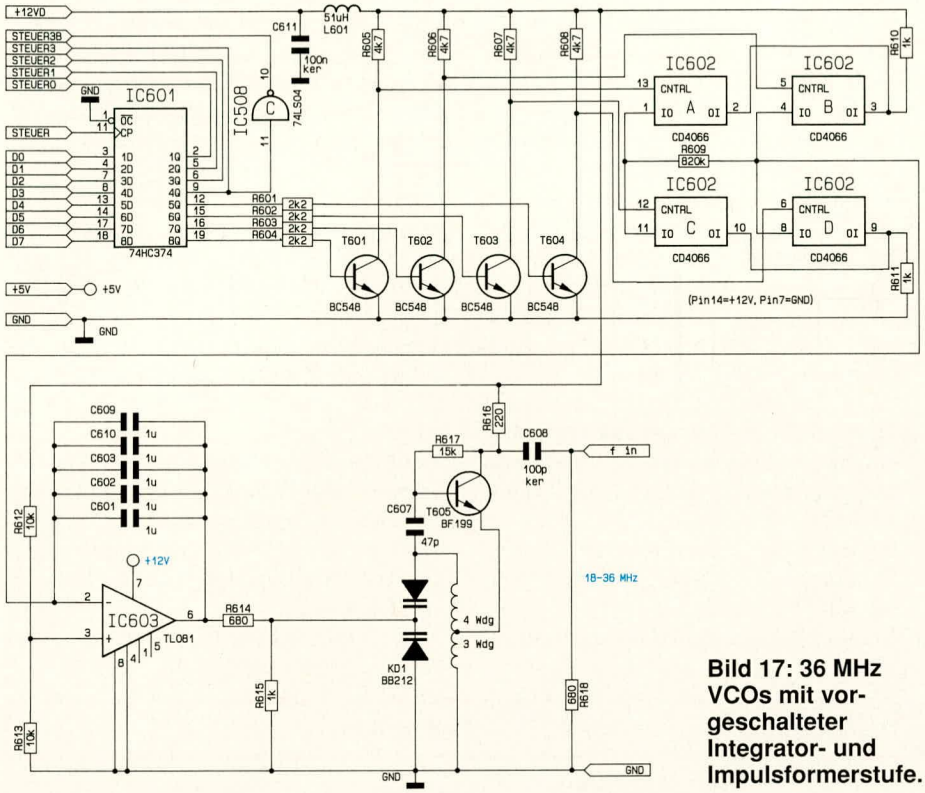

Bild 17: 36 MHz VCOs mit vorgeschalteter Integrator- und Impulsformerstufe.

4 dekadischen asynchron Zählern des Typs 74LS390. Am ersten Ausgang des Teilers (:2) wird der 5 MHz-Takt für die CPU und den IEC-Bus Controller IC 301 abgenommen.

Am Ende der Teilerkette (IC 416 Pin 9) steht ein genaues 1 kHz-Signal für die Frequenzmessung bereit. Mit diesem Takt wird jede 1 ms der Zählerstand des Frequenzmessers in die dafür vorgesehenen Register kopiert.

Bild 17 zeigt die Detailschaltung der Impulsformstufe des Integrators sowie die Schaltung des eigentlichen 36 MHz-VCOs. Der VCO ist als LC-Oszillator aufgebaut, wobei die Schwingkreiskapazität aus der Doppelkapazitätsdiode KD 1 des Typs BB 212 gebildet wird. Die Schwingkreisinduktivität ist in Form einer geätzten Leiterplattenspule realisiert. Die Ansteuerung der Kapazitätsdiode und damit die Abstimmung des VCOs erfolgt durch einen Integrierer, der wiederum mit entsprechenden Impulsen angesteuert wird.

Aufgebaut ist dieser mit einem BiFet-OPV des Typs TL 081 (IC 603), der über eine Gesamtkapazität von 5 uF (Kondensatoren C 601 - C 603 sowie C 609 und C610) gegengekoppelt ist. Der Arbeitspunkt des Integrierers wird durch den Widerstandsteiler R 612/R 613 vorgegeben. Die Ansteuerimpulse des Integrierers werden mit Hilfe einer speziellen Steuerschaltung erzeugt. Durch Schalten entsprechender Widerstände zur positiven Versorgungsspannung bzw. nach Masse mit dem Halbleiterschalter IC 602 vom Typ 74HC4066 können 4 unterschiedliche Grundimpulse erzeugt werden. Deren Länge wird zusätzlich noch von der Prozessoreinheit gesteuert und kann zwischen 7,8 us und 16 ms gewählt werden. Bei der kürzesten Impulszeit von 7,8 us wird die Frequenz um:

+ 10 Hz (positiver Feinimpuls)
- 10 Hz (negativer Feinimpuls)
+ 1000 Hz (positiver Grobimpuls)
- 1000 Hz (negativer Grobimpuls) verändert.

Grobimpulse werden durch Schalten der CMOS-Schalter IC 609 b und d, Feinimpulse durch IC 602 a und c erzeugt.

Durch diese Art der Abstimmung kann der VCO über eine Oktave (18 MHz - 36 MHz) stufenlos geregelt werden.

Angesteuert wird der CMOS-Schalter IC 602 über das Steuerregister IC 601 von der CPU. Da der Halbleiterschalter IC 602 an +12 V betrieben wird, muß nach dem Steuerregister IC 601 noch eine Pegelumsetzung erfolgen. Dies wird durch die Transistoren T 601 - T 604 in Verbindung mit den Widerständen R 601 - R 608 erreicht.

Damit sind die Blöcke 8 - 10 des Blockschaltbildes beschrieben und wir kehren mit der Beschreibung der Blöcke 13 und 14 sowie der Teilerauswahlschaltung wieder zu Bild 16 zurück.

Da der VCO "nur" im Verhältnis 1:2 (1 Oktave) regelbar ist, ist ihm noch eine 25stufige binäre Teilerkette nachgeschaltet. Durch den Abgriff an den verschiedenen Teilerausgängen ergibt sich ein Frequenzbereich von 0,53644 Hz bis 36 MHz, der stufenlos durchschritten werden kann. Zusätzlich wird diese Teilerkette noch zur Frequenzmessung benutzt, indem zu äquidistanten Zeitpunkten der Zählerstand in ein Register (siehe Blockschaltbild Block 14) kopiert wird. Aus diesen Zählerständen kann die CPU die Frequenz errechnen.

Das 18 - 36 MHz Oszillatorsignal gelangt zunächst über IC 422 auf den DO-Eingang des IC 414 und den Clock-Eingang des IC 418, einem schnellen D-Flipflop. Mit Hilfe dieses D-Flipflops wird zuerst das Oszillatorsignal durch 2 geteilt und dann einem synchronen 24 Bit-Teiler (aufgebaut mit IC 408 - 413) zugeführt. Die Teilung durch 2 ist deshalb erforderlich, weil die synchrone Teilerkette die maximale Frequenz von 36 MHz nicht mehr verarbeiten kann. Das Eingangssignal der Teilerkette gelangt zusätzlich noch auf den D1-Eingang des IC 414.

Aus den 24 Ausgängen der Teilerkette (Z0 - Z23) plus der originalen Oszillatorfrequenz und Oszillatorfrequenz/2, insgesamt also 26 Ausgänge, wird mit Hilfe des Datenselektors eine Ausgangsleitung ausgewählt und zur weiteren Verarbeitung durchgeschaltet. IC 405 - IC 407, IC 414 sowie IC404 bilden den Datenselektor. Durch IC 405 - IC 407, jeweils ein 1 aus 8-Selektor des Typs 74AS151, wird eine Vorauswahl der 24 Teilerausgänge getroffen. Die Ausgänge dieser 3 Vorselektoren gelangen nun auf die Eingänge des vierten, mit IC 414 vom Typ 74LS151 realisierten, Selektors. Alle 4 Selektoren werden über IC 404, einem 8-fach D-Register, von der Prozessoreinheit gesteuert.

IC 401 - IC 403 vom Typ 74HC374 bilden das zur Frequenzmessung erforderliche Register. Jede 1 ms wird der Zählerstand in dieses Register übernommen und von der CPU ausgelesen, wodurch dieser dann die genaue Frequenz errechnet. Um zu verhindern, daß ein Zählerstand gerade dann übernommen wird, wenn der Zähler um 1 weitergeschaltet wird, sorgen die beiden FFs IC 417 a und b (74S74) dafür, daß eine Übernahme erst dann durchgeführt wird, wenn die Flanke des Zähltaktes nach low wechselt. (Der Zähler zählt bei positiven Flanken). Der dadurch entstehende Fehler in der Größe: 1/9 MHz = 0,11 ppm ist vernachlässigbar.

Im dritten Teil dieses Artikels folgt die Schaltungsbeschreibung der digitalen Signalerzeugung und der recht umfangreichen Analogstufen. ELV