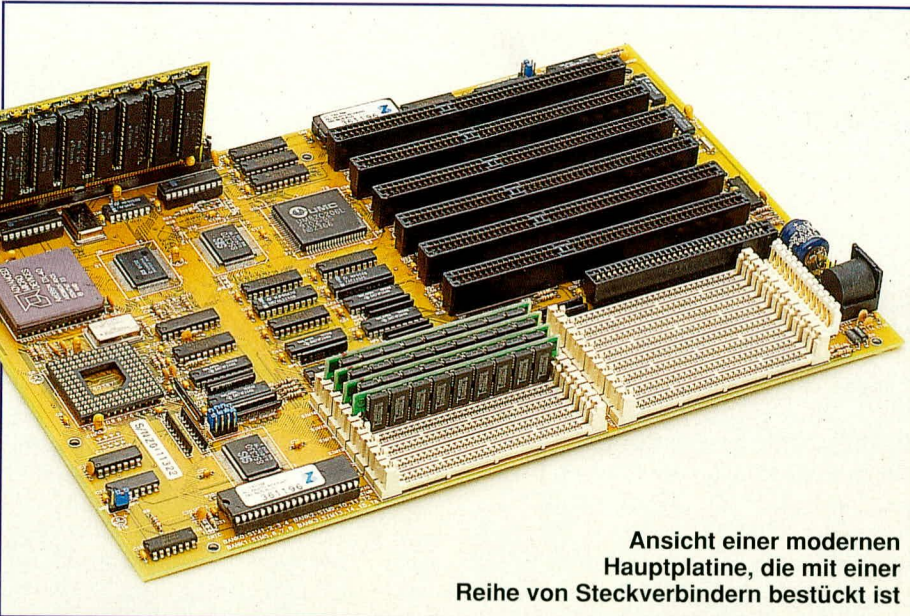


PC-Grundlagen

Technik und Aufbau moderner PCs

Der vierte Teil dieser Artikelserie beschreibt ausführlich die Pin-Belegungen der verschiedenen Steckverbinder.

Teil 4



Ansicht einer modernen Hauptplatine, die mit einer Reihe von Steckverbindern bestückt ist

Tabelle 1			
Pinbelegung der Stromversorgungssteckverbinder des PCs			
Steckverbinder	Anschluß-Pin	Farbe	Bedeutung
für 3,5"-Laufwerke	1	gelb	+12 V
	2	schwarz	Masse
	3	schwarz	Masse
	4	rot	+5 V
für 5,25"-Laufwerke	1	gelb	+12 V
	2	schwarz	Masse
	3	schwarz	Masse
	4	rot	+5 V
für Hauptplatine	1	orange	Power Good (nur AT)
	2	rot	+5 V
	3	gelb	+12 V
	4	blau	-12 V
	5	schwarz	Masse
	6	schwarz	Masse
	7	schwarz	Masse
	8	schwarz	Masse
	9	weiß	-5 V
	10	rot	+5 V
	11	rot	+5 V
	12	rot	+5 V

Tabelle 2				
Belastbarkeit der unterschiedlichen Netzteiltypen				
Gesamtleistung	Max. Belastbarkeit			
	+12 V	+5 V	-5 V	-12 V
150 W	5,5 A	15 A	0,5 A	0,5 A
200 W	7,6 A	20 A	0,5 A	0,5 A
220 W	8,5 A	22 A	0,5 A	0,5 A

PC-Steckverbinder

Durch den modularen Aufbau des IBM-PCs und kompatibler Geräte sind naturgemäß viele Übergänge zwischen den einzelnen Geräteteilen notwendig. Diese sind weitestgehend standardisiert.

Beginnen wir zunächst mit der Beschreibung der Steckverbinder rund um das Motherboard, gefolgt von den Massenspeicheranschlüssen sowie der Anschlußbelegung der Schnittstellen, die sich auf der PC-Rückwand befinden. Im Anschluß daran sind die Anschlußbelegungen der wichtigsten Standard-Verbindungskabel aufgeführt.

Spannungsversorgung

Abbildung 13 zeigt die üblichen Steckverbinder für die Stromversorgung im PC. Ganz links ist der Stromversorgungssteckverbinder für die modernen 3,5"-Disketten- bzw. Festplatten-Laufwerke zu sehen, während in der Mitte der Steckverbinder für die 5,25"-Laufwerke gezeigt ist. Die Spannungsversorgung für die Laufwerke ist mehrfach vorhanden. Ganz rechts sehen wir den Doppelsteckverbinder für die Stromversorgung der Hauptplatine. Dieser besteht aus technischen Gründen aus 2 Steckverbindern, welche direkt nebeneinander auf einen 12poligen Stecker der Hauptplatine aufgesetzt werden.

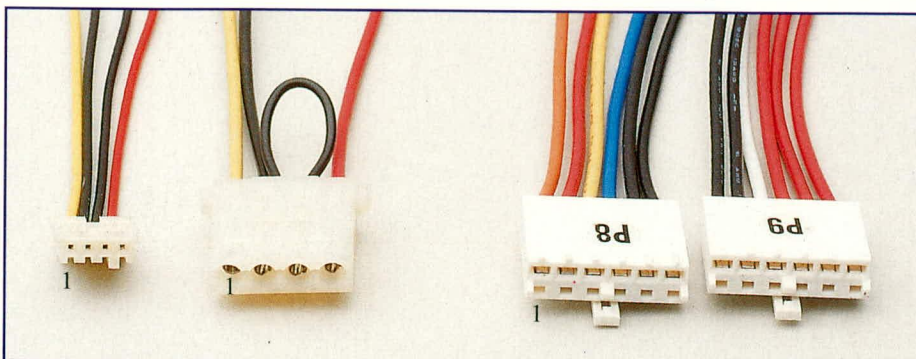


Bild 13 zeigt die Steckverbinder für die Stromversorgung im PC

Tabelle 1 zeigt die Anschlußbelegung der einzelnen Steckverbinder. Der Anschluß Pin 1 am Stromversorgungssteckverbinder für die Hauptplatine ist bei einem XT nicht angeschlossen. Bei einigen AT-Motherboards wird diese Leitung ebenfalls nicht benötigt.

Im normalen Betriebsfall liegt an diesem Anschlußpin High-Pegel an. Sobald primärseitig am Netzteil die Wechselspannung abfällt, wird dies vom Schaltnetzteil detektiert und über einen Low-Pegel an dieser Power-Good-Leitung angezeigt. Je nach Ausführung des Motherboards startet dann eine Anforderung an den Prozessor.

Tabelle 2 zeigt die Belastbarkeit der verschiedenen Netzteiltypen, wobei die angegebene Belastbarkeitsgrenze je nach Hersteller abweichen kann. Weiterhin ist zu beachten, daß PC-Schaltnetzteile im allgemeinen eine Mindestlast an der +5 V- bzw. +12 V-Versorgungsspannung benötigen.

Tastaturanschluß

Der DIN-Steckverbinder für den Anschluß der Tastatur ist üblicherweise auf der PC-Rückseite angeordnet. Bei diesem Steckverbinder handelt es sich um einen 5poligen 180° DIN-Rundsteckverbinder, der gemäß Tabelle 3 belegt ist.

Abbildung 14 zeigt die Anschlußfolge. Der Anschlußpin 3, an dem das Reset-Signal anliegt, wird von den heute gängigen Tastaturen nicht mehr benutzt.

Da die Stromaufnahme des Tastaturprozessors im allgemeinen recht gering ist, konnte die Versorgungsspannung ebenfalls mit über den DIN-Steckverbinder geführt

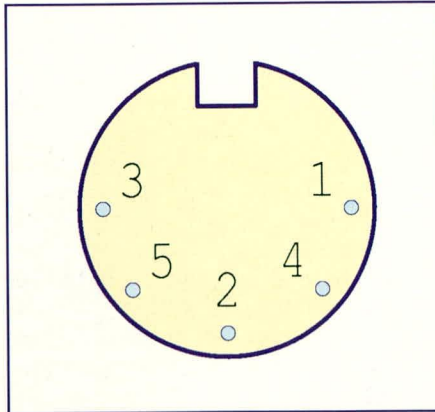


Bild 14: Anschlußpins der Tastaturanschlußbuchse, von der PC-Rückwand aus gesehen

Tabelle 3		
Belegung der Tastaturschnittstelle		
Pin-Nr.	Bezeichnung	Abkürzung
1	Tastaturtakt	CLK
2	Tastaturdaten	Data
3	Tastaturreset	Reset
4	Masse	GND
5	Versorgungsspannung	+5 V

werden. Die Datenübertragung zwischen Tastatur und Hauptplatine erfolgt seriell synchronisiert über eine entsprechende Taktleitung.

8-Bit-Slot-Steckverbinder

Der ursprünglich von IBM entwickelte PC-XT-Computer hatte bis zu 8 jeweils zweimal 31polige Direkt-Steckverbinder an der Rückseite des PCs auf dem Motherboard platziert. Dieses sind die sogenannten 8-Bit-Slots, da hier nur die unteren 8 Datenleitungen anliegen. In Tabelle 4 ist dazu die Belegung gezeigt, die wir nachfolgend im Detail erläutern wollen:

Die mit OSC (B30) bezeichnete Leitung gibt die Frequenz des Taktoszillators auf den I/O-Bus. Bei einem 4,77-MHz-Standard-PC liegt die Frequenz bei 14,31818 MHz mit einem Tastverhältnis von 1 : 1.

Der Systemtakt CLK (B20) entspricht bei einem Standard-PC der durch 3 dividierten Oszillatorfrequenz (= 4,77 MHz), bei einem Tastverhältnis von 1 : 2. Bei modernen XT/AT-Computern liegen die genannten Frequenzen im allgemeinen deutlich höher, was sich entsprechend günstig auf die interne Verarbeitungsgeschwindigkeit auswirkt.

Die RESET-Leitung (B02) dient beim Einschalten des Rechners bzw. nach einem Netzspannungsausfall dazu, die komplette Systemlogik sowie alle vorhandenen Erweiterungskarten in einen definierten Anfangszustand zu setzen. Alle fraglichen

Schaltungsteile besitzen dafür einen entsprechenden Rücksetz-Eingang.

Die Adreßleitungen A0 - A19 (A31-A12) dienen zur Adressierung der Speicher und I/O-Einheiten. Diese 20 Leitungen gestatten einen Zugriff auf bis zu 1 MByte-Speicherbereich (binäre Codierung, entsprechend $2^{20} = 1048576$ möglichen Adressen). A0 entspricht hierbei dem niedrigstwertigen Bit (LSB) und A19 dem höchstwertigen Bit (MSB). Angesteuert werden diese Leitungen entweder vom

Prozessor oder von einem auf dem Motherboard integrierten DMA-Controller.

Die Datenleitungen D0 - D7 (A09-A02) liefern die 8 Datenbus-Bits für den Prozessor, den Speicher und die I/O-Einheiten. Hierüber laufen also die eigentlichen zu verarbeitenden Informationen. Beim Schreiben auf den I/O- oder Memory-Bereich (Speicher) werden diese Leitungen vom Prozessor bzw. DMA-Controller angesteuert. Bei einem Lesezugriff ist die Datenflußrichtung demgemäß umgekehrt. D0 stellt das niedrigstwertige Bit (LSB) und D7 das höchstwertige Bit (MSB) dar.

Bei Computern der AT-Klasse findet der Memory-Zugriff üblicherweise mit 16 oder sogar 32 Bit statt, während der I/O-Zugriff je nach Erfordernis 8 oder 16 Bitweise erfolgt. Die hierfür notwendigen Datenleitungen D 8 bis D 15 liegen am 16-Bit-Erweiterungsslot an (s. u.).

Das Signal ALE (Adreß Latch Enable, B28) wird vom Bus-Controller (8288/82288) generiert und kennzeichnet jeden vom Prozessor eingeleiteten Buszyklus. Dieser umfaßt die komplette Signalsequenz auf den jeweiligen Steuer- und Datenleitungen, wie sie etwa für einen Schreib- oder Lesevorgang in den bzw. aus dem Speicher benötigt wird. Hierzu ist ein genaues Timing erforderlich, für das der ALE-Impuls das Startsignal darstellt. Auf der Systemleiterplatte wird dieses Signal dann zum Demultiplexen (Aufbereiten) des lokalen Adreß-/Datenbussignales des Prozessors verwendet, während das Signal auf dem I/O-Kanal des PCs als Hinweis für eine gültige Prozessoradresse dient.

Die ALE-Leitung befindet sich bei einem DMA-Zyklus ständig auf Aktiv-High-Pegel. Im normalen Betriebsmodus werden die Adressen auf den Leitungen A0 bis A19 mit der fallenden Flanke von ALE übernommen. Die Steuerleitung AEN (Address-Enable, A11) dient zur Erkennung von Prozessor- oder DMA-Zugriffszyklen. Sobald die Steuerleitung AEN auf High-Pegel liegt, übernimmt die DMA die Kontrolle über den Adreß- und Datenbus sowie die Schreib-/Leseleitungen (Speicher- und I/O-Einheiten). Aus diesem Grunde ist die AEN-Leitung bei Adreßdecodern mit zu berücksichtigen.

Mit dem Signal I/O CHCK (I/O-Channel-Check, A 01) signalisieren externe Speicher einen aufgetretenen Paritätsfehler, d. h. sie haben einen Speicherfehler festgestellt. Wird dieses Signal mit einem (üblicherweise) Open-Kollektor-Treiber auf Low-Pegel gezogen, so generiert der Prozessor einen nicht maskierbaren Interrupt (NMI). Daraus resultiert eine Unterbrechung des laufenden Programms mit Sprung in ein Unterprogramm, und vom Prozessor wird eine entsprechende Bildschirmmeldung veranlaßt, die software-

Tabelle 4					
Anschluß der 8 Bit-Erweiterungssteckplätze beim IBM-PC					
Signalname	Stiftbezeichnung				Signalname
	E/A	Bestückungsseite	Löseseite	E/A	
GND		B01	A01	E	I/O CHCK
Reset	A	B02	A02	E/A	D7
+5V		B03	A03	E/A	D6
IRQ2/9	E	B04	A04	E/A	D5
-5V		B05	A05	E/A	D4
DRQ2	E	B06	A06	E/A	D3
-12V		B07	A07	E/A	D2
OWS	E	B08	A08	E/A	D1
+12V		B09	A09	E/A	D0
GND		B10	A10	E	I/O CHRDY
MEMW	A	B11	A11	A	AEN
MEMR	A	B12	A12	A	A19
IOWC	A	B13	A13	A	A18
IORC	A	B14	A14	A	A17
DACK3	A	B15	A15	A	A16
DRQ3	E	B16	A16	A	A15
DACK1	A	B17	A17	A	A14
DRQ1	E	B18	A18	A	A13
DK0/Rfsh	A	B19	A19	A	A12
CLK	A	B20	A20	A	A11
IRQ7	E	B21	A21	A	A10
IRQ6	E	B22	A22	A	A9
IRQ5	E	B23	A23	A	A8
IRQ4	E	B24	A24	A	A7
IRQ3	E	B25	A25	A	A6
DACK2	A	B26	A26	A	A5
T/C	A	B27	A27	A	A4
ALE	A	B28	A28	A	A3
+5V		B29	A29	A	A2
OSC	A	B30	A30	A	A1
GND		B31	A31	A	A0

↑
Gehäuserückwand des PC

A = gesteuert vom Prozessor/DMA...
E = Eingangssignalleitung für den Prozessor/Interrupt-Controller/DMA...
E/A = bidirektionale Leitungen

mäßig praktisch nicht zu umgehen ist.

Über die Leitung **I/O CHRDY** (I/O-Channel Read, A10) ist es möglich, den I/O-Zugriff des Prozessors auf langsame Ein-/Ausgabegeräte zu verlängern. Im passiven Zustand führt diese Leitung High-Pegel. Langsame Einheiten müssen unmittelbar, nachdem die gültige Adresse und eine Schreib-Leseleitung aktiv geworden sind, diese Leitung über einen Open-Kollektor-Treiber auf Low-Pegel ziehen. Die maximal zulässige Haltezeit beträgt hierbei 10 Taktzyklen oder 2,5 µsec, während derer die auf dem Adreß-, Daten- und Steuerbus anstehenden Informationen unverändert bleiben. Die CPU führt derweil eine entsprechende Anzahl von Wait-Zyklen aus.

Die Interrupt-Anforderungsleitungen **IRQ2 - IRQ7** (Interrupt Request, B04, B25-B21) signalisieren dem Interrupt-Controller und damit indirekt dem Prozessor eine Unterbrechungs-Anforderung, wobei IRQ2 die höchste, IRQ7 die niedrigste Priorität besitzt. Interrupts mit noch höherer Priorität (IRQ0 und IRQ1) sind dem System vorbehalten und somit auch nicht auf die Erweiterungssteckplätze geführt. IRQ0 ist dabei für den Timer-Interrupt vorgesehen, welcher von diesem ca. 18,2 mal pro Sekunde ausgelöst wird und vor allem zur Steuerung der PC-Uhr dient, während IRQ1 von der Tastatur verwendet wird.

Mit der ansteigenden Flanke auf einer der IRQ-Leitungen erzeugt der Interrupt-Controller (sofern freigegeben) eine Unterbrechungsanforderung am Prozessor. Die Leitung muß dabei vom Treiber solange auf high gehalten werden, bis der Prozessor die Unterbrechungsanforderung quittiert hat. Wird hingegen während der Interrupt-Anforderung der Pegel auf der IRQ-Leitung frühzeitig weggenommen, so nimmt der Prozessor einen Interrupt auf IRQ7 als Anforderung an.

Aus der Tatsache, daß die IRQ-Leitungen aktiv auf high gezogen werden, folgt, daß nur ein einziger Treiber diese Leitung ansteuern darf. Dies ist besonders zu beachten, wenn bereits mehrere Schnittstellen implementiert sind. IRQ3 und IRQ4 werden üblicherweise für die serielle Schnittstelle, IRQ5 für die Festplatte, IRQ6 für den Disketten-Controller und IRQ7 für die Parallel-Schnittstelle genutzt.

Eine Besonderheit stellt die IRQ-Leitung an B04 dar. Bei PC/XT-Computern ist hier der IRQ2 angeschlossen. Dieser wird beim AT für die Kaskadierung der beiden Interrupt-Controller genutzt. Hier findet dann die Interrupt-Leitung IRQ9 Platz.

Die Steuerleitung **IORC** (I/O-Read-Command, B14) zeigt an, daß der Prozessor oder die DMA- (Direct-Memory-Access) Steuerung von dem durch die Adres-

sen A0 bis A15 vorgegebenen Bereich Daten lesen möchte. Während dieses Signal aktiv ist, muß das entsprechende I/O-Gerät seine Daten auf den Datenbus D0-D7 legen. Mit der steigenden Flanke von **IORC** übernimmt dann der Prozessor dieses Datum (= 8 parallel anliegende Bits).

Analog dazu zeigt **IOWC** (I/O-Write-Command, B13) dem adressierten I/O-Bereich an, daß jetzt gültige Daten zur Ausgabe am Datenbus anliegen. Üblicherweise übernehmen die angeschlossenen Bausteine das anliegende Datum dann mit der steigenden Flanke von **IOWC**.

Mit Hilfe der Steuerleitung **MEMR** (Memory Read, B12) initiiert der Prozessor oder die DMA-Steuerung einen Lese-Zugriff auf diejenige Speicherzelle, die durch die Adreßleitungen A0 bis A19 adressiert wird. Die Übernahme des Datums erfolgt wie bei der **IORC**-Leitung beschrieben.

Die Steuerleitung **MEMW** (Memory Write, B11) zeigt an, daß die durch die Adreßleitungen A0 bis A19 adressierte Speicherzelle mit dem am Datenbus anliegenden Datum beschrieben werden soll.

Bei den DMA-Anforderungsleitungen **DRQ1-DRQ3** (DMA Request, B18, B6, B16) handelt es sich um asynchrone Kanal-Anforderungen, die von Peripheriekarten dazu verwendet werden können, einen entsprechenden DMA-Zyklus einzuleiten (ähnlich des oben bereits beschriebenen Prozessor-Zyklus). Beim direkten Speicherzugriff (DMA) müssen die beteiligten Busleitungen zunächst angefordert und daraufhin umgeschaltet werden.

Die DRQ0-Leitung besitzt die höchste Priorität aller DRQs und wird ausschließlich genutzt, den Refresh (das periodische Wiederauffrischen) der dynamischen RAMs zu steuern. Da diese Steuerfunktion von etwaigen Erweiterungskarten nicht beeinflusst zu werden braucht, ist die DRQ0-Leitung auch nicht auf dem Erweiterungsbus vorhanden.

Die DRQ3-Leitung hat die niedrigste Priorität. Eine Anforderung wird erzeugt, indem die gewünschte DRQ-Leitung aktiv auf High-Pegel gelegt wird (dabei ist besonders zu beachten, daß nicht mehrere I/O-Karten auf die gleiche DMA-Anforderungsleitung zugreifen dürfen!). Die betreffende DRQ-Leitung muß bis zur Quittierung der Anforderung auf high gehalten werden.

Zur Quittierung von DRQ0 - DRQ3 dienen die DMA-Antwortleitungen **DACK0 - DACK3** (DMA Acknowledge, B19, B17, B26, B15). Der DMA-Controller legt hierzu auf die jeweilige Leitung einen Low-Impuls, der einerseits als Rückmeldung dient, weiterhin aber auch Auslösefunktion für nachgeordnete Bausteine besitzt.

In diesem Sinne ist die **DACK0**-Leitung (auch Refresh genannt), verantwortlich für

den Speicher-Refresh der dynamischen RAMs, auch auf die Slots geführt, da speziell in älteren Rechnern die Speichererweiterung z. T. auch auf Zusatzkarten untergebracht ist. Während der Aktivphase dieses Signales stehen am Adreßbus die Refresh-Adressen für jeweils eine aufzufrischende Speicherbank an. Der **DACK0**-Zugriff wiederholt sich alle 72 Takte, mit entsprechend fortlaufender Refresh-Adresse (i. a. 256 Speicherbänke).

Üblicherweise wird der DMA-Kanal 2 vom Disketten-Controller und Kanal 3 vom Festplatten-Controller genutzt.

Beim Anschluß **T/C** (Terminal/Count, B27) handelt es sich um eine weitere DMA-Steuerleitung. Sie wird aktiv, sobald einer der 4 DMA-Kanäle seine jeweils programmierte Anzahl an DMA-Zyklen erreicht hat, und geht dann auf High-Pegel. Über eine entsprechende Vergatterung mit den Steuerleitungen **DACK0** bis **DACK3** kann festgestellt werden, welcher DMA-Kanal seine jeweilige Arbeit abgeschlossen hat.

Die **OVS**-Leitung ist nur im AT vorhanden. Grundsätzlich wird hier bei jedem Speicher bzw. E/A-Zugriff ein Wartezyklus ausgeführt, um auch langsame Peripherien ansprechen zu können. Durch die Aktivierung dieses Signals kann die Einfügung des Wartezyklus unterbunden werden.

Auf dem Erweiterungsbus sind insgesamt 4 Gleichspannungen mit unterschiedlichen Strombelastbarkeiten verfügbar, wobei die meistverwendete und auch wohl wichtigste Leitung die **+5V**-Versorgungsspannung ist. Diese Spannung steht an den Pins B03 und B29 zur Verfügung und wird vom XT-Netzteil mit einem Strom von mindestens 7 A geliefert. Nach Abzug des Stromverbrauchs für das Motherboard stehen hier mindestens noch 4A für die angeschlossenen Erweiterungskarten bereit.

Die **+12V**-Versorgungsspannung (B09) dient hauptsächlich zur Versorgung der Antriebsmotore für die Disketten- und Festplattenlaufwerke. Dieser Spannungsversorgungszweig ist mit mindestens 2 A belastbar.

Außerdem ist noch die Spannungsversorgung von **-5 V** (B05) und **-12 V** (B07) auf den I/O-Bus geführt. Diese Spannungen sind mit ca. 0,3 A nur gering belastbar und versorgen z. B. Schnittstellentreiber. Die +12 V-, -5 V- und -12 V-Versorgungsspannungen werden auf dem Motherboard direkt zu den PC-Slotsteckverbindern geführt.

Die Belastbarkeit der Versorgungsspannungen kann zum Teil erheblich von den genannten Werten abweichen, da Netzteile und Chipsätze von PCs recht unterschiedlich dimensioniert sind. Die angegebenen Ströme verstehen sich daher nur als Richtwerte.

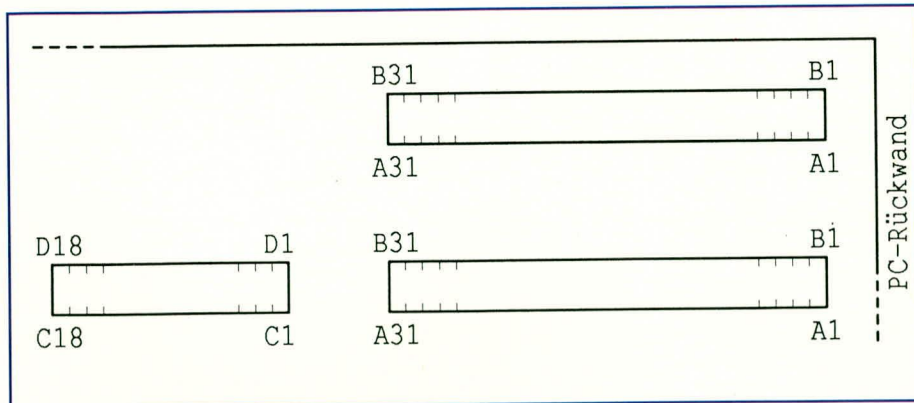


Bild 15 Anschlußpins der zweimal 31- und 18poligen Slot-Steckverbinder

16-Bit-Slot des ATs

Mit Einführung der AT-Serie von IBM wurde ein weiterer EA-Slot benötigt, welcher auf der Hauptplatine vor dem „8-Bit“-Slot gemäß Abbildung 15 Platz fand. Tabelle 5 zeigt die Anschlußbelegung dieses „16-Bit“-Erweiterungsslots, der aus einem zweimal 18poligen Steckverbinder besteht. PC-Einsteckkarten, welche diesen Erweiterungsslot nutzen, besitzen auf der Leiterplatte eine entsprechende Zunge, die in den Direkt-Steckverbinder eingeschoben wird.

Doch kommen wir jetzt zur Beschreibung der einzelnen Leitungen dieses Steckverbinders. Die wichtigsten Leitungen sind wohl die an D01 und D02 anliegenden Steuerleitungen, die wir zuerst beschreiben.

Die Steuerleitung **MEMCS16** (Memory Chip Select 16 Bit, D 1) teilt der CPU mit, daß die anstehenden Daten für den Memory-Bereich 16 Bit breit sind. Hierzu werden von der entsprechenden PC-Einsteckkarte die ungelatschten Adreßleitungen LA 17 bis LA 23 ausgewertet. Fühlt sich die Karte darüber angesprochen und ist diese in der Lage, 16 Bit breite Daten zu verarbeiten, so zieht diese über einen Open-Kollektor- oder Tristate-Ausgang die **MEMCS16**-Leitung auf Low-Pegel. Diese Reaktion muß sehr schnell erfolgen, da sonst der 16 Bit-Zugriff von der CPU in zwei 8 Bit-Zugriffe aufgeteilt wird.

In ähnlicher Weise verhält sich die **I/OCS16**-Leitung (I/O Chip Select 16 Bit, D 2). Im Gegensatz zur vorgenannten Leitung wird diese aktiv, wenn ein 16 Bit-I/O-Zugriff ansteht.

Die Interrupt-Anforderungsleitungen IRQ10-12, IRQ 14 und IRQ 15 (Interrupt Request, D03-D05, D07, D06) sind direkt mit dem auf dem Motherboard integrierten zweiten Interrupt-Controller verbunden und haben die gleiche Aufgabe wie die bereits oben besprochenen IRQ-Leitungen. Die Interrupt-Leitungen IRQ 8, 9 und IRQ 13 sind nicht auf diesem Bus geführt. Die IRQ 8-Leitung wird beim AT für die Echtzeituhr verwendet, während die IRQ 9-Lei-

tung wegen der Kaskadierung der Interrupt-Controller anstelle der IRQ 2-Leitung an Pin B04 des XT-Slots anliegt. Die Interrupt-Leitung IRQ 13 wird beim AT für den mathematischen Co-Prozessor genutzt.

Die Leitungen **DRQ0, DRQ5-DRQ7** (DMA Request, D 09, D 11, D 13, D 15) entsprechen im wesentlichen denen der oben beschriebenen Anforderungsleitungen. Im Unterschied zu den genannten Leitungen fordern die Leitungen DRQ 5-DRQ 7 immer eine 16 Bit breite Datenübertragung an.

Die Quittierung der genannten DRQ-Leitungen erfolgt über die **DACK0, DACK5 - DACK7** (DMA Acknowledge, D08, D 10, D12, D 14) Anschlußpins. Die Funktion dieser Leitungen ist identisch mit den oben bereits beschriebenen.

Zusätzlich liegt die +5 V-Versorgungsspannung (D 16) und die Bezugsmasse (D 18) an diesem Steckverbinder an.

Die **Master**-Leitung (D 17) erlaubt einem externen Controller die gesamte Kon-

trolle über den AT zu erlangen. Hierzu sind einige Details zu beachten, die hier auszuführen den Rahmen dieses Artikels sprengen würde.

Die Steuerleitung SBHE (System Bus High Enable, C01) zeigt einen Datentransfer im oberen Byte des Datenbusses (D 8 - D 15) an. Damit können z. B. die Puffer auf Erweiterungskarten aktiviert werden. 16 Bit-Peripheriegeräte nutzen dieses Signal, welches high-aktiv ist.

Die ungelatschten Adreßleitungen **LA17** bis **LA 23** (C 08 - C 02) stellen die höchstwertigen Adreßleitungen dar, um insgesamt bis zu 16 MByte Speicher zu adressieren. Diese sind im Gegensatz zu den Adreßleitungen A 0 bis A 19 nur gültig, wenn sich die ALE-Leitung vom 8 Bit-Slot auf High-Pegel befindet. Sie dienen dazu, dem 16 Bit-Zugriffdecoder auf den Erweiterungskarten möglichst frühzeitig die höchstwertigen Adreßleitungen zur Ausdecodierung zur Verfügung zu stellen. Sollen diese Adressen im Zyklus weiter genutzt werden, so sind diese mit der fallenden Flanke von ALE von einem Auffangregister zwischenzuspeichern.

Im Gegensatz zu **MEMR** (B 12) ist **MEMRD** während sämtlicher Speicherleseaktionen im gesamten Speicherbereich aktiv. **MEMR** wird aus **MEMRD** abgeleitet, sobald der erste 1 MByte-Speicherblock adressiert wird. **MEMRD** teilt externen Geräten mit, daß Daten auf den Datenbus zu legen sind.

Die **MEMWR**-Leitung (C 10) verhält sich wie die vorgenannte Leitung, jedoch werden hier externe Speichereinheiten aufgefordert, Daten vom Datenbus zu lesen.

Die Datenleitungen **D 8 - D 15** (C 11 - C 18) stellen die 16 Bit-Erweiterung des Datenbusses dar. Über diese zusätzlichen 8 Datenleitungen kann dann der Mikroprozessor mit Hilfe der sich im XT-Slot befindlichen Datenleitungen D 0 bis D 7 direkt einen 16 Bit-Zugriff auf externe Daten vornehmen.

Es gibt für größere Computersysteme, die auf dem PC/AT aufbauen, noch zwei weitere Bussysteme. Zum einen hat IBM für seine PS-2-Modelle 50, 60 und 80 den sogenannten „MICROCHANNEL“-Bus kreiert. Als Alternative zu diesem Bus wurde der EISA-Bus von führenden Herstellern kompatibler Produkte entwickelt. Beide Bussysteme sind für hohe Datendurchsatzraten ausgelegt.

Im nächsten Teil dieser Artikelserie behandeln wir die Anschlußbelegungen der Massenspeicher-Steckverbinder sowie die Anschlußbelegung der sich an der PC-Rückwand befindenden Schnittstellen-Steckverbinder, gefolgt von den Erläuterungen zu den I/O-Memory-Adreßbelegungen.

Tabelle 5					
Anschluß der 16 Bit-Erweiterungssteckplätze beim IBM-AT					
Signalname	Stiftbezeichnung				Signalname
	E/A	Bestückungssseite	Lötseite	E/A	
MEMCS16	E	D01	C01	A	SBHE
I/OCS16	E	D02	C02	A	LA23
IRQ10	E	D03	C03	A	LA22
IRQ11	E	D04	C04	A	LA21
IRQ12	E	D05	C05	A	LA20
IRQ15	E	D06	C06	A	LA19
IRQ14	E	D07	C07	A	LA18
DACK0	E	D08	C08	A	LA17
DRQ0	E	D09	C09	A	MEMRD
DACK5	A	D10	C10	A	MEMWR
DRQ5	E	D11	C11	E/A	D8
DACK6	A	D12	C12	E/A	D9
DRQ6	E	D13	C13	E/A	D10
DACK7	A	D14	C14	E/A	D11
DRQ7	E	D15	C15	E/A	D12
+5V		D16	C16	E/A	D13
Master	E	D17	C17	E/A	D14
GND		D18	C18	E/A	D15

A = gesteuert vom Prozessor/DMA...
 E = Eingangssignalleitung für den Prozessor/Interrupt-Controller/DMA...
 E/A = bidirektionale Leitungen