



Farb-Bildmuster-Generator CPG 9000

Teil 2

Die ausführliche Schaltungsbeschreibung dieses innovativen High-Tech-Gerätes lesen Sie im vorliegenden zweiten sowie im dritten Teil.

Schaltung

Die komplexe Schaltungstechnik des Colour-Pattern-Generators CPG 9000 ist zur besseren Übersicht in 6 logisch zusammengehörende Teilschaltbilder unterteilt, die wir der Reihe nach ausführlich beschreiben.

1. Digitaler Video-Encoder (Bild 3)
2. Bedienteil mit Mikrocontroller und Testbildspeicher (Bild 4)
3. Audioteil (Bild 5)
4. Netzteil (Bild 6)
5. Analogteil (Bild 7)
6. HF-Modulator (Bild 8)

Wir beginnen die Beschreibung mit dem in Abbildung 2 dargestellten Video-Encoder als einer der zentralen Komponenten in diesem Gerät.

Digitaler Video-Encoder (Bild 3)

Die komplette Testbildgenerierung im CPG 9000 wird mit Hilfe eines neuen digitalen Video-Encoder-Bausteins von Philips vorgenommen, der Funktionen erlaubt, die in herkömmlicher Schaltungstechnik kaum

oder nur mit extrem hohem Aufwand realisierbar wären. Sämtliche Bildmuster des CPG 9000 werden softwaremäßig erzeugt, so daß in punkto Bildvielfalt kaum Grenzen gesetzt sind.

Da das gesamte Konzept des CPG 9000 auf dem hochintegrierten Video-Encoder SAA7199B von Philips basiert, kommt der Beschreibung dieses in Abbildung 3 dargestellten ICs mit der zugehörigen Peripheriebeschaltung besondere Bedeutung zu.

Die wesentliche Aufgabe des im 84poligen PLCC-Gehäuse untergebrachten Bausteins ist die Umsetzung von digitalen Bild-daten in analoge Fernsehsignale. Der SAA7199B ist aufgrund unterschiedlicher Betriebsmodi und seiner komfortablen Programmierbarkeit sehr flexibel einsetzbar und besitzt eingangsseitig drei 8 Bit breite Datenports, denen entweder ein 24 Bit breites RGB-Signal, ein Y/UV-Signal oder auch ein 8-Bit-Indexed-Colour-Signal zugeführt werden kann.

Bei Y/UV-Signalen besteht zusätzlich die Möglichkeit, das Abtastverhältnis zwischen dem Y-Signal (BAS) und den Farbkomponenten zu verändern, wobei die For-

mate 4:1:1, 4:2:2 und 4:4:4 unterstützt werden.

Zum besseren Verständnis zeigt Abbildung 2 blockschaltbildmäßig die komplexe interne Struktur des SAA7199B.

Intern werden zunächst die Eingangsdaten über Colour-Lock-up-Tables (CLUTs) geführt, die eine beliebige Modifikation der digitalen Bilddaten erlauben. Anschließend werden die modifizierten RGB-Signale mit Hilfe einer Matrix in digitale Y/UV-Signale umgesetzt.

Im eigentlichen Encoder erfolgt digital die Modulation des Farbtägers mit den Farbdifferenzsignalen U und V. Hierbei werden softwaremäßig gesteuert verschiedene PAL- und NTSC-Fernsehnormen unterstützt.

Am Ausgang der eigentlichen Encoderstufe stehen dann sowohl das Y- und Chromasignal getrennt als auch zusammengesetzt in Form eines digitalen FBAS-Signals zur Verfügung. Die Umsetzung in analoge Fernsehsignale übernehmen 3 integrierte, schnelle DA-Wandler, die in der Lage sind, am Ausgang Lasten von 75 Ω zu treiben.

Als Mikrocontroller-Schnittstelle steht sowohl der in der Konsumerelektronik weit verbreitete I²C-Bus als auch eine Parallel-Schnittstelle (8-Bit-Daten, 2 Adreßbits sowie Read- und Chip-Select) zur Verfügung.

Die parallele 8-Bit-Mikrocontroller-Schnittstelle erlaubt natürlich einen wesentlich schnelleren Datentransfer, so daß besonders beim Laden der Colour-Lock-

up-Tables erhebliche Zeitvorteile gegenüber dem I²C-Bus zu verzeichnen sind.

Während für die Kommunikation mit dem externen Mikrocontroller an Pin 36 das Chip-Select-Signal erforderlich ist, wird der Schreib-Lese-Zugriff über Pin 35 geregelt.

Die Adreßleitungen A 0 und A 1 legen fest, ob es sich um einen Adreß- oder Datenzugriff handelt, oder ob auf die Colour-Lock-up-Tables (CLUTs) bzw. auf Kontrollregister zugegriffen wird.

Über interne Kontrollregister sind verschiedene Parameter softwaremäßig einstellbar, so daß im Bereich des Encoders kein Hardwareabgleich erforderlich ist.

Ein integrierter Sync-Prozessor liefert normgerechte Synchronimpulse sowohl in PAL-Norm als auch in NTSC-Norm und sämtliche Timing- und Takt-Signale werden von einem an Pin 59 und Pin 60 angeschlossenen Quarz von 24,576 MHz abgeleitet.

Doch nun zurück zu unserer Schaltung in Abbildung 3.

Im CPG 9000 nutzt der digitale Encoder (DENC) das 8-Bit-Indexed-Colour-Datenformat, wobei die Daten über den digitalen 8-Bit-Grün-Kanal zugeführt werden. Die Ports PD 1 und PD 2 werden im CPG 9000 nicht genutzt und deshalb über die Schutzwiderstände R 206 und R 207 an

Masse gelegt. Des Weiteren arbeitet der DENC (Digitaler Encoder) im CPG 9000 im Stand-alone Mode, d. h. der Encoder generiert auch die normgerechten Synchronimpulse. In dieser Schaltungskonstellation benötigt der DENC (IC 204) einen externen Clock-Generator (IC 200).

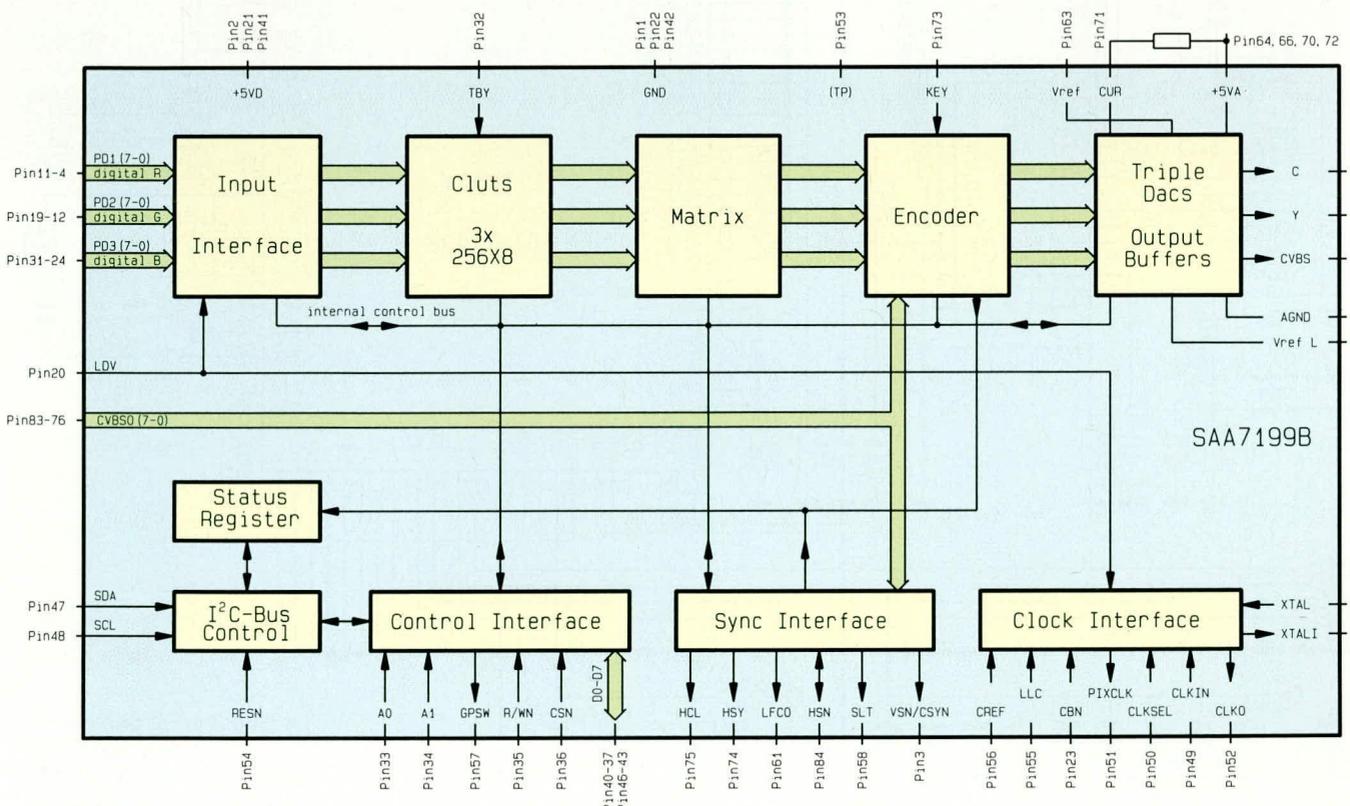
Im Stand-alone Mode wird der an Pin 59 und Pin 60 zugängliche Quarz-Oszillator des DENC mit einem 24,576 MHz-Oberwellenquarz beschaltet, wobei die Bauelemente L 204 und C 235 ein Schwingen auf der Grundwelle verhindern. Die Quarzfrequenz ist sowohl in PAL als auch in NTSC-Norm gleich.

Die Verkopplung der Zeilenfrequenz mit dem Pixeltakt von 13,5 MHz übernimmt der Clock-Generator IC 200. Dazu stellt der DENC an Pin 61 ein 6,75 MHz-Signal bereit, welches dem SAA7157 an Pin 11 (LFCO) zugeführt wird.

Im SAA7157 wird mit Hilfe einer PLL-Schaltung eine zeilenfrequenzverkopplerte Taktfrequenz von 27 MHz generiert, die an Pin 7 des Bausteins ansteht. Des Weiteren werden die 27 MHz intern noch durch 2 geteilt, so daß an Pin 14 und Pin 20 des IC 200 der 13,5 MHz-Pixeltakt entnehmbar ist.

Während der Load-Data-Valid-Eingang des DENC (Pin 20) direkt den Pixeltakt erhält, muß das Signal für den Clock-Eingang (Pin 49) und den Line-Locked-Clock-Input (Pin 55) noch mit Hilfe der beiden High-Speed-CMOS-Gatter IC 201 A, B um einige Nanosekunden verzögert werden.

Bild 2: Interner Aufbau des digitalen Video-Encoders SAA7199B



Das Power-On-Reset-Signal für den DENC wird ebenfalls vom SAA 7157 generiert. Auch hier ist die externe Beschaltung minimal und besteht nur aus dem Kondensator C 202.

Wie bereits eingangs erwähnt, soll der DENC aus den digitalen Bildinformationen analoge Fernsehsignale generieren. Die Wandlung der encodierten Daten übernehmen 3 im DENC integrierte schnelle 9 Bit-DA-Umsetzer mit 75 Ω Ausgangsimpedanz.

Während das analoge BAS-Signal an

Pin 67 und das Chroma-Signal an Pin 65 mit Norm-Pegeln entnommen werden kann, steht das FBAS-Signal in der gewünschten Fernsehnorm an Pin 69 an.

Zusätzliche Bildwechselimpulse werden an Pin 3 und horizontalfrequente Synchronimpulse an Pin 84 des SAA7199B jeweils mit TTL-Pegel ausgegeben. Anschließend werden mit dem EXOR-Gatter IC 202 A die Signale verknüpft und über die parallelgeschalteten Treiber IC 201 C, D, E an der BNC-Buchse BU 201 ausgegeben.

Ein ganz besonderes Feature, welches

sonst bei Bildmuster-Generatoren dieser Preisklasse kaum zu finden ist, stellt der Genlock-Modus dar. In diesem Betriebsmodus kann das Bild des CPG 9000 mit einer beliebigen anderen Videosignalquelle synchronisiert werden. Besonders zum Überprüfen von Videomischpult und ähnlichen Geräten ist der Genlock-Mode sehr hilfreich.

Für den Genlock-Betrieb besitzt der DENC (IC 204) an den Pins 76 bis 83 einen zusätzlichen digitalen 8-Bit-FBAS-Eingang. Die Synchronimpulse dieses Vi-

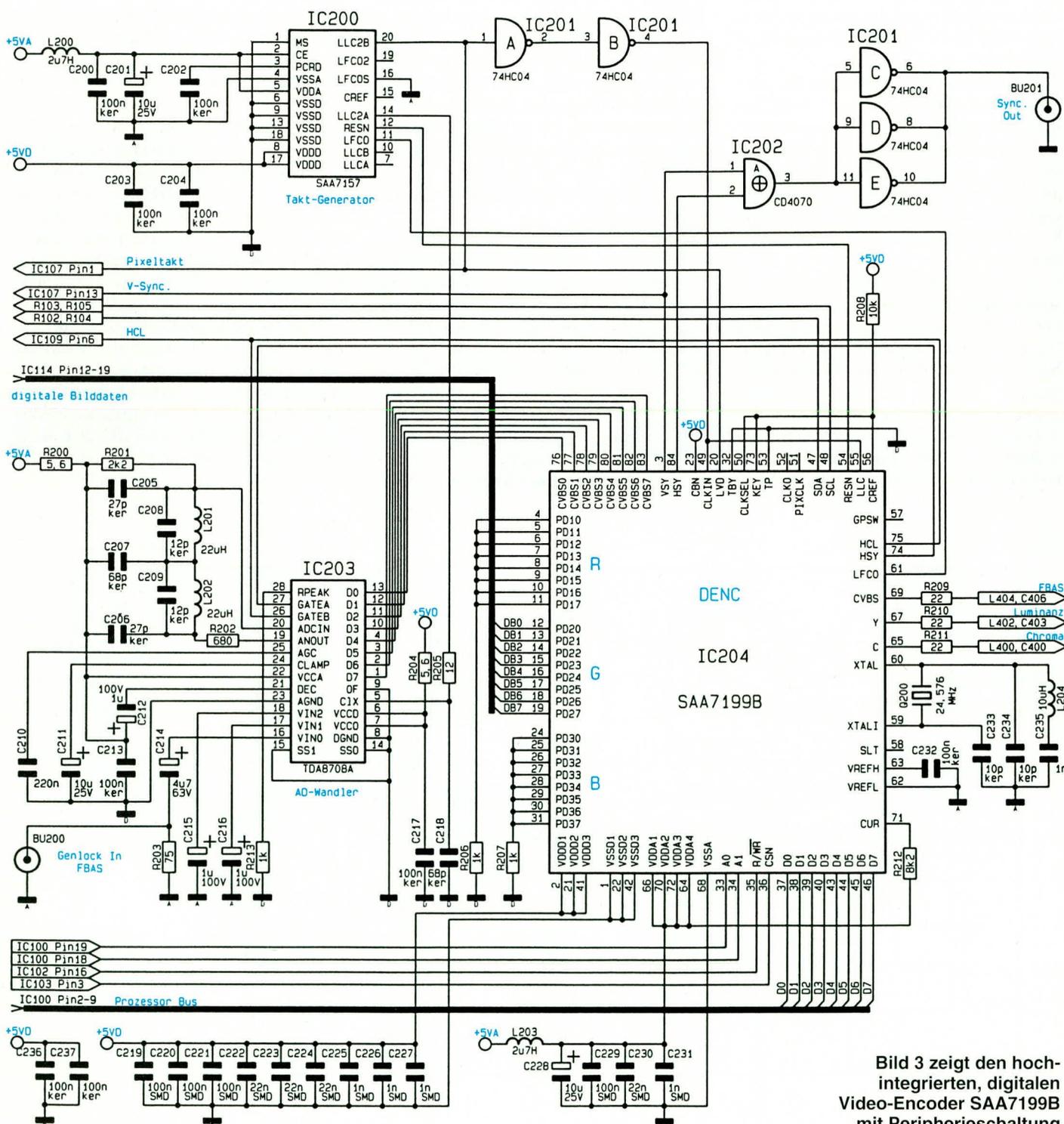


Bild 3 zeigt den hoch-integrierten, digitalen Video-Encoder SAA7199B mit Peripherieschaltung

deosignals dienen dann als Referenz und der Pixeltakt des Systems wird mit der Zeilenfrequenz der externen Quelle verkoppelt.

Da jedoch FBAS-Signale üblicherweise nur analog zur Verfügung stehen, muß mit Hilfe des schnellen Video-AD-Wandlers TDA8708A (IC 203) eine Analog-Digital-Wandlung erfolgen. Der AD-Wandler wird vom DENC mit den Signalen H-Sync (HSY, Pin 74) und Horizontal Clamping (HCL, Pin 75) gesteuert, die Gate A und Gate B des Wandlers zugeführt werden.

Das analoge Videosignal der Referenzsignalquelle wird an der Buchse BU 200 zugeführt, mit R 203 abgeschlossen und über C 214 gleichspannungsentkoppelt auf den Eingang VIN0 (Pin 16) des im TDA 8708 A integrierten Signalquellenumschalters gegeben.

Intern erfolgt zunächst ein automatisch geregelter Verstärker, der den Videopegel am Eingang des AD-Wandlers unabhängig von Signalpegelschwankungen am Genlock-Eingang konstant hält. Die Regelzeitkonstante der automatischen Verstärkungsregelung wird durch den

Kondensator C 210 bestimmt. Für die Verstärkungsregelung wird die Amplitude des Synchronimpulses als Referenz herangezogen, wobei mit Hilfe des am Gate A anstehenden Signals auf den Sync-Boden und mit Hilfe des am Gate B anstehenden Signals auf die hintere Schwarzscherle des Videosignals geklemmt wird. Durch die automatische Regelung kann der Eingang des AD-Umsetzers für die bestmögliche Auflösung voll ausgenutzt werden, ohne das Übersteuerungen auftreten können.

Das in der Amplitude geregelte Videosignal steht an Pin 19 des TDA 8708A an und wird über den mit L 201, L 202 und C 205 bis C 209 aufgebauten Tiefpaß dem eigentlichen Flash-Wandler-Eingang (Pin 20) zugeführt. An den digitalen Datenausgängen D 0 bis D 7 steht dann die Videoinformation im Zweierkomplement zur weiteren Verarbeitung an.

Da es sich bei der in Abbildung 2 dargestellten Schaltung um eine sehr schnelle Digitaltechnik handelt, sind entsprechend umfangreiche Abblock- und Entstörmaßnahmen erforderlich. Diese Aufgabe übernehmen die an den digitalen und analogen Versorgungspins eingezeichneten Kondensatoren bzw. Kondensatorgruppen. So ist z. B. an den 3 digitalen Versorgungsleitungen des DENC jeweils direkt am entsprechenden Pin eine Gruppe aus 3 Kondensatoren (1 nF, 22 nF, 100 nF) angeordnet. Des Weiteren ist es bei einer derart schnel-

len Schaltung mit digitalen und analogen Schaltungskomponenten unerlässlich die 5 V-Betriebsspannung in eine analoge und digitale Spannung aufzuteilen. Eine wichtige Rolle spielt auch die Leiterbahnführung im Layout.

Bedienteil mit Mikrocontroller und Testbildspeicher (Bild 4)

Das umfangreiche Bedienteil mit dem Single-Chip-Mikrocontroller 80C31 (IC 102), dem Programmspeicher (IC 101) sowie dem digitalen Testbildspeicher ist in Abbildung 4 zu sehen. Der Mikrocontroller 80C31 (IC 102) übernimmt sämtliche Bedien- und Steuerungsaufgaben innerhalb des CPG 9000. Das Betriebsprogramm für den Prozessor sowie die Daten für den digitalen Testbildaufbau befinden sich in dem externen Programmspeicher ELV 9361.

Der Mikrocontroller verarbeitet die Daten und die unteren 8 Adressen auf der Portgruppe P0 im Multiplexbetrieb. Aus

Normgerechte Testbilder können mit dem CPG 9000 in den Fernsehnormen PAL und NTSC generiert werden

diesem Grund wird das untere Adreßbyte mit Hilfe eines 8-Bit-D-Registers (IC 100) zwischengespeichert und dem EPROM quasi statisch zur Verfügung gestellt. Die oberen 7 Adreßbits werden von der Portgruppe P 2 bedient und direkt den Adreßeingängen A 8 bis A 14 des EPROMs zugeführt.

Der Taktoszillator des Controllers ist an Pin 18 und Pin 19 extern zugänglich und mit einem 12 MHz-Quarz sowie den beiden Kondensatoren C 101 und C 102 beschaltet. Für einen definierten Power-On-Reset sorgen im Einschaltmoment die Bauelemente C 100, D 100 und R 100.

Die Ansteuerung der 40 Leuchtdioden (mit Ausnahme der „Power-On-LED“) der drei 7-Segment-Anzeigen sowie die Abfrage der 31 Bedientaster des CPG 9000 erfolgt im Multiplexbetrieb.

Zur Decodierung des Binärcodes für das jeweils aktive Digit dient der BCD-Dezimal-Anzeigentreiber 74LS145 (IC 117). Der Baustein besitzt Open-Kollektor-Ausgänge, die wiederum über einen Basisspannungsteiler die Darlington-Transistoren T 100 bis T 107 (Digittreiber) ansteuern. Die Transistoren werden mit der ungestabilisierten Versorgungsspannung betrieben, so daß der Spannungsregler im Netzteil nicht mit dem Displaystrom belastet wird. Um die Störausstrahlung der Multiplexanzeige gering zu halten und um den EMV-Richtlinien gerecht zu werden, verhindern die Kondensatoren C 122 bis C 130

in diesem Bereich steile Anstiegsflanken. Der jeweils durchgeschaltete Transistor legt die in Gruppen zu 8 Digits zusammengefaßten Anoden der Anzeigeelemente an die Betriebsspannung.

Die vom Mikrocontroller zur Verfügung gestellten Segmentinformationen werden über den gemultiplexten Adreß- und Datenbus ausgegeben, mit Hilfe des 8-Bit-D-Registers IC 105 zwischengespeichert und dem Segmenttreiber des Typs ULN 2803 (IC 106) zugeführt. Zur Segment-Strombegrenzung dienen in diesem Zusammenhang die Widerstände R 106 bis R 113.

Die Abfrage der 31 Bedientaster wird in Abbildung 4 unten links gezeigt. Es handelt sich bei der Tastatur um eine 4fach-Matrix, wobei die Abfrage über die Portleitungen P 1.4 bis P 1.7 des Prozessors erfolgt.

Bei unbetätigten Tasten nehmen die Porteingänge über prozessorinterne Pull-up-Widerstände High-Pegel an. Die Abfrage der Eingänge erfolgt synchron zur

Multiplexfrequenz der Anzeigeelemente, wobei die Dioden D 101 bis D 132 zur gegenseitigen Ent-

kopplung der jeweils an einem Digit angeschlossenen Tasten dienen.

Doch wenden wir uns nun wieder dem Mikrocontroller (IC 102) zu. Der Datenverkehr zwischen einigen Peripheriebausteinen und dem Mikrocontroller erfolgt über den in der Konsumerelektronik weit verbreiteten bidirektionalen I²C-Bus. Der Bus besteht aus nur einer Taktleitung (SCL) und einer Datenleitung (SDA) und wird von IC 102 an Port 3.0 und Port 3.1 bereitgestellt.

Sämtliche Peripherieschaltungen die über diesen Zweidrahtbus verfügen, liegen parallel am Bus, wobei die Widerstände R 101 und R 102 als Pull-up-Widerstände fungieren und somit den High-Pegel anheben.

Im CPG 9000 dient der I²C-Bus zum Steuern des HF-Modulators und zum Datenaustausch zwischen Prozessor und EEPROM (IC 107). Das EEPROM dient in erster Linie als Backup von Bedienelementen, so daß der CPG 9000 nach dem Ausschalten mit den zuletzt getroffenen Einstellungen wieder gestartet werden kann. Die Daten bleiben selbst über Jahre hinaus ohne Netzspannung oder Akkupufferung erhalten.

Wie bereits beschrieben, wird der DENC wegen des erheblich schnelleren Datentransfers über die parallele Mikroprozessorschnittstelle angesprochen. Deshalb werden der 8-Bit-breite Datenbus des Mikrocontrollers, die Adreßleitungen A 0 und

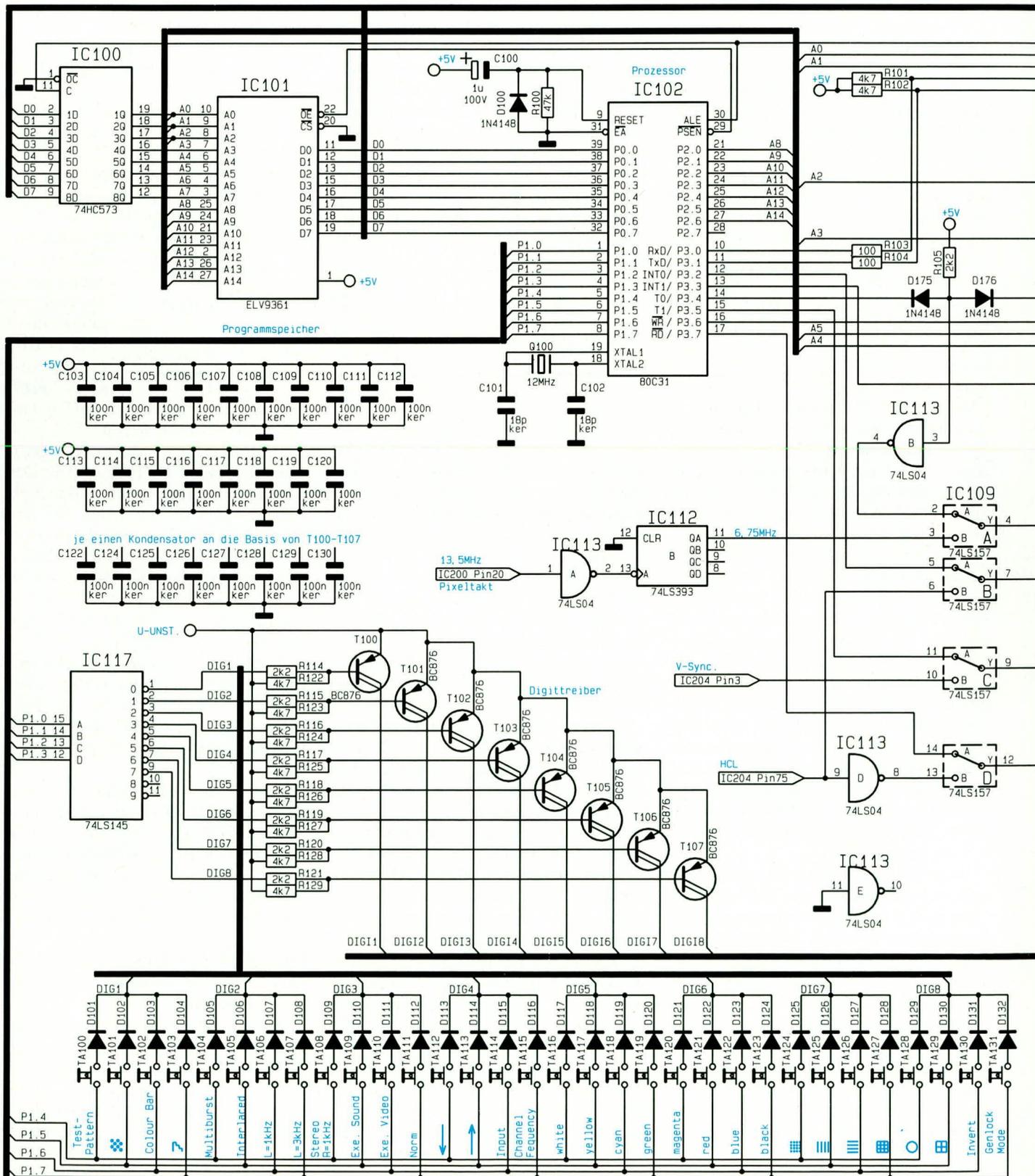
A 1 sowie das $\overline{R/\overline{W}}$ -Signal direkt zum DENC geführt. Das Chip-Select-Signal wird vom ODER-Gatter IC 103 A bereitgestellt und mit Hilfe der Adrebleitung A 5 und dem \overline{WR} -Signal des Controllers generiert.

Die ODER-Gatter IC 103 B, C und D dienen zum Adressieren des D-Zwischenspeichers IC 104, zur Adressierung des Segmenttreibers sowie zum Ansprechen des 1 MBit Testbildspeichers IC 115.

Als nächstes kommen wir zum Testbildspeicher IC 115 und dem damit verbundenen Bildaufbau. Nach dem Einschalten des Gerätes und nach jedem Testbildwechsel erhält zuerst der Mikrocontroller (IC 102) den Zugriff auf das RAM. Über den Busleitungstreiber des Typs 74LS245 (IC 116) werden die Daten für das gewünschte Testbild zum Speicher transferiert. Die Adressierung des Speichers über die Pixel- und Zeilenzähler (IC 110 bis IC 112) wird

während des Datentransfers ebenfalls vom Mikrocontroller gesteuert, d. h. die in IC 109 integrierten Datenselektoren nehmen die im Schaltbild eingezeichnete Schalterstellung ein.

Nach der Übertragung der Daten für das jeweils gewünschte Testbild zum RAM wechselt der Logik-Pegel an Port 3.3 von low auf high. Der Bustreiber IC 116 wird gesperrt. Gleichzeitig wird über IC 113 F das RAM freigegeben und die Datenselek-



toren IC 109 A bis D wechseln die Schalterstellung.

Von nun an erhält der Encoder (SAA-7199B) den Zugriff auf den Bildspeicher (IC 115). Für die Generierung der Pixel-Adresse wird der von IC 220 kommende Pixel-Takt (13,5 MHz) mit IC 112 A durch 2 geteilt und über IC 109 A den mit IC 110 A, B aufgebauten Pixel-Adreßzähler am Clock-Eingang zugeführt. Der Reset des Zählers erfolgt zu Beginn einer jeden neuen

Zeile mit Hilfe des horizontalen Synchronimpulses, der über IC 109 B den beiden Reseteingängen des 74LS393 zugeführt wird.

Die Spaltenadresse (Zeilenadresse) wird mit Hilfe des an IC 113, Pin 9 zugeführten horizontalen Synchronimpulses generiert. Mit dem Beginn des vertikalen Synchronimpulses werden die 3 kaskadierten 4 Bit-Binärzähler IC 111 A, B und IC 112 A wieder zurückgesetzt.

Der Datentransfer vom Speicher zum

digitalen Encoder erfolgt über den 8-Bit-Latch (Zwischenspeicher) IC 114. Die Speicherfreigabe (Latch-Enable) arbeitet mit dem halben Pixel-Takt von 6,75 MHz über den Inverter IC 113 C.

Wesentliche Komponenten und Funktionen des CPG 9000 sind damit bereits beschrieben. Im folgenden Teil kommen wir zum Audioteil und der Stromversorgung sowie zur Beschreibung des Analogteils und des HF-Modulators. **ELV**

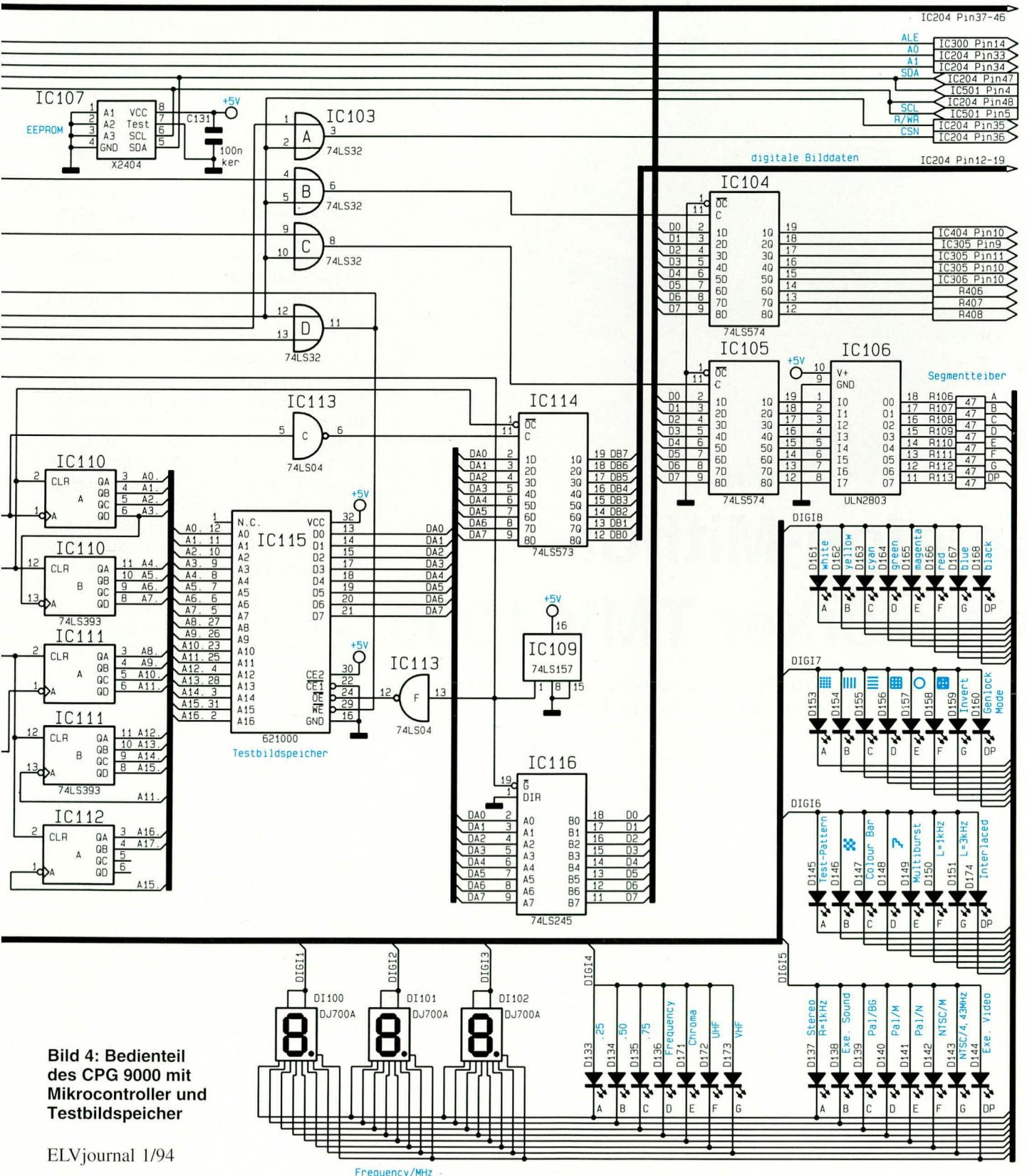


Bild 4: Bedienteil des CPG 9000 mit Mikrocontroller und Testbildspeicher