

Das DDS-Verfahren

Direkter Digitaler Synthesizer

Die digitale Signalverarbeitung findet in immer weiteren Bereichen ihre Anwendung. Der direkte, digitale Synthesizer (DDS) erzeugt auf rein digitale Weise Sinusschwingungen. Dies macht den Unterschied zu herkömmlichen Verfahren aus, wie z.B. PLL, bei der eine Oszillatorschaltung die Sinusspannung erzeugt. Das DDS-Verfahren, welches die Grundlage der Entwicklung des ebenfalls in dieser Ausgabe vorgestellten Sine-Wave-Generators SWG 9000 bildet, soll in diesem Artikel beschrieben werden.

Allgemeines

Das DDS-Verfahren besitzt gegenüber allen anderen Verfahren entscheidende Vorteile:

- hohe Frequenzgenauigkeit (Taktfrequenzgenauigkeit)
- Temperatur- und Zeit-Stabilität
- wideband tuning, d.h. ein einziger, großer Abstimmbereich
- sehr kleine Frequenzeinstellschritte im gesamten Frequenzbereich (20 mHz beim SWG 9000)
- schnelles, phasendurchgängiges Abstimmen
- kein Frequenzüberschwingen bei Änderung der Signalfrequenz

Funktionsprinzip

Die Erläuterung des Funktionsprinzips

erfolgt am vereinfachten Blockschaltbild gemäß Abbildung 1.

Der direkte digitale Synthesizer besteht im wesentlichen aus drei Hauptkomponenten:

- 1) Phasen-Akkumulator (phase akku)
- 2) Phasen-Sinus-Konverter (phase to sine converter)
- 3) Digital/Analog-Wandler (DAC)

Der „phase akku“ ist ein 32 Bit breiter Akkumulator, der nach jedem Taktzyklus die aktuelle Phase der Sinusschwingung (0 bis 2π) enthält. Ist jede Stelle des 32 Bit-Wortes null, so entspricht dies 0 rad. Steht an jeder Stelle eine Eins, hat die Phase 2π rad erreicht.

Während jedes Taktzyklus wird zum Akkumulator der Wert „Delta-Phase“ (Δ -phase) addiert. Der Wert „Delta-Phase“ repräsentiert den Phasensprung in der Sinusschwingung pro Taktzyklus.

Das Ausgangssignal des „phase akku“ entspricht einer digitalen Rampe, deren Wiederholfrequenz gleich der Frequenz des erzeugten Sinussignals ist. Abbildung 2 zeigt die vereinfachte Innenschaltung des „phase akku“ und die digitale Rampe. Gemäß Abbildung 2 berechnet sich die Frequenz f_a des Sinussignals wie folgt:

$$f_a = \frac{1}{T_a}$$

T_a = Anzahl der Phasensprünge pro Ausgangssignalperiode • T_t

mit $f_t = \frac{1}{T_t}$, Taktfrequenz

Die Anzahl der Phasensprünge pro Ausgangssignalperiode ergibt sich zu:

$$\text{Anzahl der Phasensprünge} = \frac{2^{32}}{\text{„delta-phase“}}$$

Damit kann die Frequenz des Ausgangssignals nach der Formel

$$f_a = \frac{1}{T_a} = \frac{\text{„delta-phase“}}{2^{32} \cdot f_t}$$

berechnet werden. Somit besitzt der Synthesizer zwei digitale, frequenzbestimmende Eingänge, nämlich die Taktfrequenz und den Phasensprung „delta-phase“.

Damit bestimmen Genauigkeit und Stabilität der Taktfrequenz die Genauigkeit und Stabilität des Sinussignals. Darauf ist bei der Auswahl des Verfahrens zur Taktfrequenzerzeugung besonders zu achten.

Die Frequenzauflösung, d.h. der kleinste Einstellschritt des Sinussignals, wird durch die Wortbreite N von „delta-phase“ festgelegt. Die Frequenzauflösung Δf ergibt sich zu:

$$\Delta f = \frac{1}{2^N \cdot f_t}$$

Beim SWG 9000 liegt der kleinste Frequenzeinstellschritt bei einer Taktfrequenz von 85,899345 MHz und einer Wortbreite von N = 32 bei 20 mHz. Dies ist ein we-

sentlicher Vorteil gegenüber dem PLL-Verfahren, bei dem die Referenzfrequenz direkt die Frequenzauflösung vorgibt.

Der „phase to sine converter“ besteht im wesentlichen aus einem Speicher, über dessen Adreßbereich verteilt die digitalen Abtastwerte einer Sinusschwingung stehen. Dieser Speicher wird nun periodisch mit den „m“-höchstwertigen Bits des „phase akku“ als Adressen ausgelesen. Eine Begrenzung auf „m“-Bit ist erforderlich, um den Aufwand für den Speicher gering zu halten. Damit werden periodisch die Abtastwerte einer Sinusschwingung erzeugt.

Abbildung 3 zeigt das Funktionsprinzip dieses Schaltungsteils. Entweder sind die Abtastwerte fest gespeichert (ROM) oder zuvor mit Hilfe eines Algorithmus berechnet und in den Speicher (RAM) geschrieben worden. Letzteres Verfahren bietet die Möglichkeit der Erzeugung jeder nur erdenklichen Kurvenform, wobei allerdings das Bandbreitenproblem zu beachten ist.

Die zuvor erläuterten Schaltungskomponenten „phase akku“ und „phase to sine converter“ sind in einem IC-Gehäuse vereinigt und z.B. als AD9955 der Firma „Analog Devices“ erhältlich.

Die so erzeugten Abtastwerte werden einem schnellen Digital/Analog-Wandler zugeführt, der dann die analoge Ausgangsspannung erzeugt. Speziell für die Anwendung in DDS-Systemen wurde der im SWG 9000 eingesetzte AD9721 entwickelt. Dieser DA-Wandler zeichnet sich besonders durch hohe „slew rate“, geringe Glitchimpulse, geringes Übersprechen und kurze „settling time“ aus.

Es ist aus nachfolgend erläuterten Gründen erforderlich, die Ausgangsspannung des D/A-Wandlers über ein Tiefpaßfilter zu leiten.

Grenzen eines DDS-Systems

Der Einsatzbereich eines direkten digitalen Synthesizers wird meistens durch die

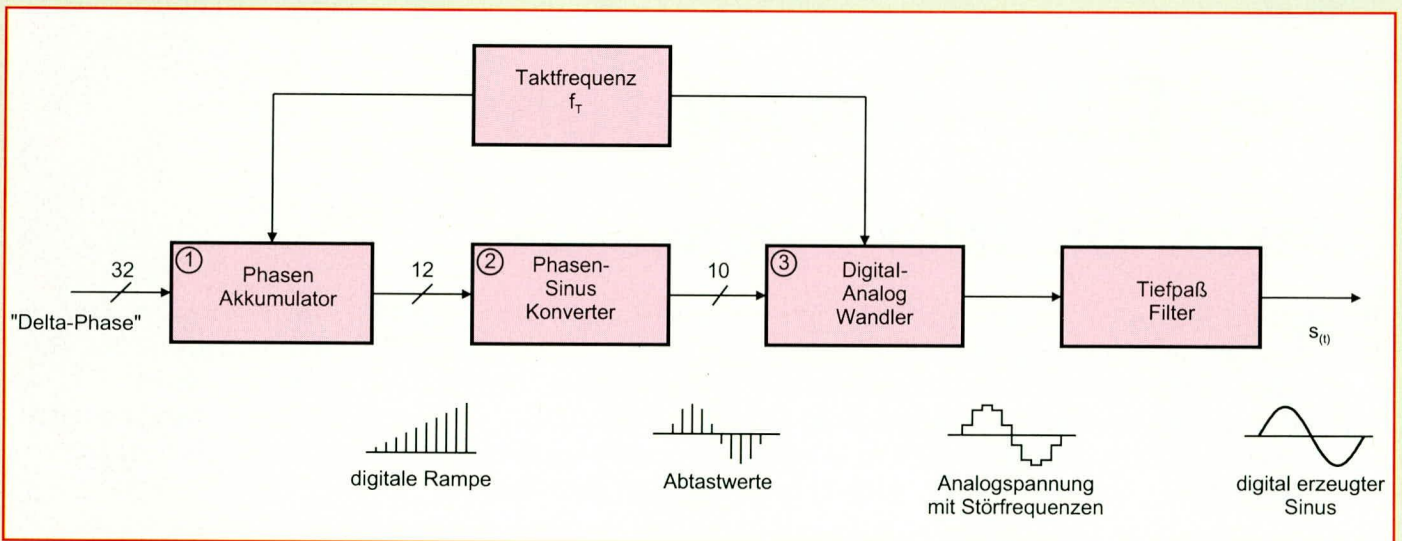


Bild 1 zeigt das Blockschaltbild des direkten digitalen Synthesizers (DDS)

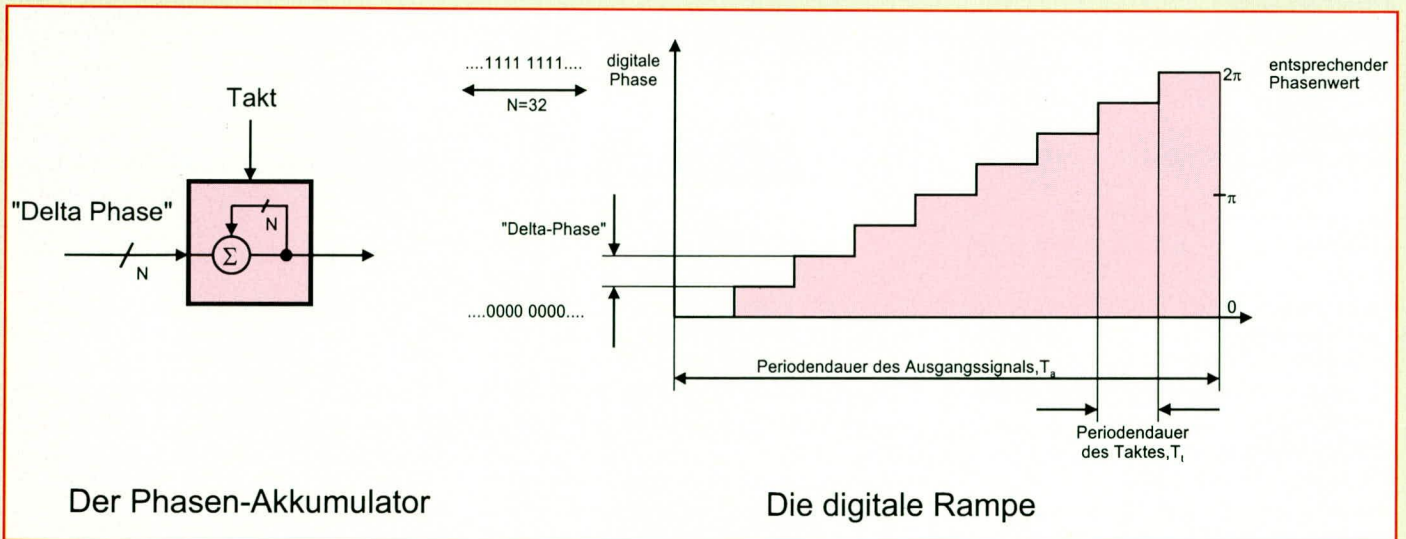


Bild 2 veranschaulicht die Innenschaltung des „phase akku“ sowie die digitale Rampe

