

Sine-Wave-Generator SWG 9000 Teil 2

Der vorliegende zweite und abschließende Teil dieses Artikels konzentriert sich auf die wesentlichen Features der innovativen Schaltungstechnik, gefolgt von einer kurzen Beschreibung des Nachbaus.

Schaltung

Nachdem im „ELVjournal“ 5/94 Bedienung und Funktion des SWG 9000 anhand des Blockschaltbildes erläutert wurden und ein weiterer Artikel das DDS-Verfahren vorstellte, wollen wir uns nun der interessanten Schaltungstechnik dieses innovativen Gerätes zuwenden.

Die komplexe Schaltungsstruktur dieses hochwertigen Sinus-Generators erfordert eine Aufteilung der Gesamtschaltung in 13 Teilschaltbilder. Dabei handelt es sich um:

- 1) DA-Modul
- 2) Taktmodul
- 3) Endstufe
- 4) Erzeugung der Steuerspannungen und der Referenzspannung
- 5) Meßstufen für die automatische Einmessung
- 6) Erzeugung der Modulationssignale (300 Hz, 1.2 kHz)
- 7) Netzteil
- 8) Netzfilter
- 9) Analog-Digital-Wandler
- 10) Mikrocontroller mit Adreßdecoder
- 11) Gerätesteuerung
- 12) Anzeigeneinheit und Tastaturauswertung
- 13) V24B- und IEC-Bus-Schnittstellen

Bei der Schaltungsbeschreibung wollen wir uns auf das Kernstück des SWG 9000, das DA-Modul, konzentrieren. Dieser Bereich beinhaltet die wesentlichen Neuerungen und bildet die Grundlage für die hervorragenden technischen Daten. Die Veröffentlichung der gesamten Schaltbilder und der entsprechend umfangreichen übrigen Schaltungsbeschreibung, die allein rund 18 Seiten ausmacht, ist in erster Linie nur beim konkreten Aufbau und der Inbetriebnahme des Gerätes von Interesse und in der Bauanleitung enthalten.

Abbildung 1 zeigt die Schaltung des DA-Moduls, auf dem die Erzeugung des Sinussignals nach dem DDS-Verfahren stattfindet.

Der DDS-Chip AD9955 (IC 1) und der DA-Wandler AD9721 (IC 2) arbeiten mit der von IC 7 (74S00) aufbereiteten Taktfrequenz, der beim verwendeten DDS-Verfahren eine ganz entscheidende Rolle zufällt. Denn Genauigkeit und Stabilität des Sinus-Ausgangssignals sind direkt mit der Genauigkeit und der Stabilität des Taktes verknüpft. Deshalb wurde im SWG 9000 zur Erzeugung des Taktes ein ganz besonderes Verfahren herangezogen.

Es sind zwar Quarzoszillatoren bis in den geforderten Frequenzbereich von ca. 86 MHz erhältlich, jedoch reicht deren Frequenzgenauigkeit und Temperaturdrift von mehreren 100 ppm für die Anforderun-

gen im SWG 9000 nicht aus. Quarze in geeigneten Oszillatorschaltungen und Quarzöfen erfüllen die Anforderungen bezüglich Genauigkeit und Stabilität, jedoch nicht mehr im Bereich von 86 MHz.

Im vorliegenden Anwendungsfall schwingt ein Quarz im unteren Frequenzbereich, dessen Ausgangsfrequenz vervielfacht wird. Um das bei der Vervielfachung unter Zuhilfenahme einer PLL-Schaltung entstehende Jitterproblem zu eliminieren, findet das Verfahren der Ausfilterung von Oberwellen Anwendung. Der Quarzoszillator kann dann genau abgeglichen werden, und die Anforderungen an den Takt sind erfüllt.

Das 32 Bit breite „delta-phase“-Wort schreibt der Mikrocontroller seriell in den DDS-Chip. Währenddessen muß Pin 78 „PSEL“ auf Low-Potential liegen. Über Pin 39 „F31“ wird das 32 Bit breite Wort bitweise in das interne Register des AD9955 hineingeschoben. Bei jeder steigenden Flanke des Signals „BRCLK“ übernimmt der Chip das an „F31“ anstehende Bit. Ist das Wort vollständig geladen, so muß dieses in das chipinterne „frequency control register“ übertragen werden. Dies geschieht mit der steigenden Flanke des „FCLD“-Signals.

Das 10 Bit breite Ausgangswort des IC 1, das jeweils einen Abtastwert des Sinussignals enthält, gelangt über die 130 -

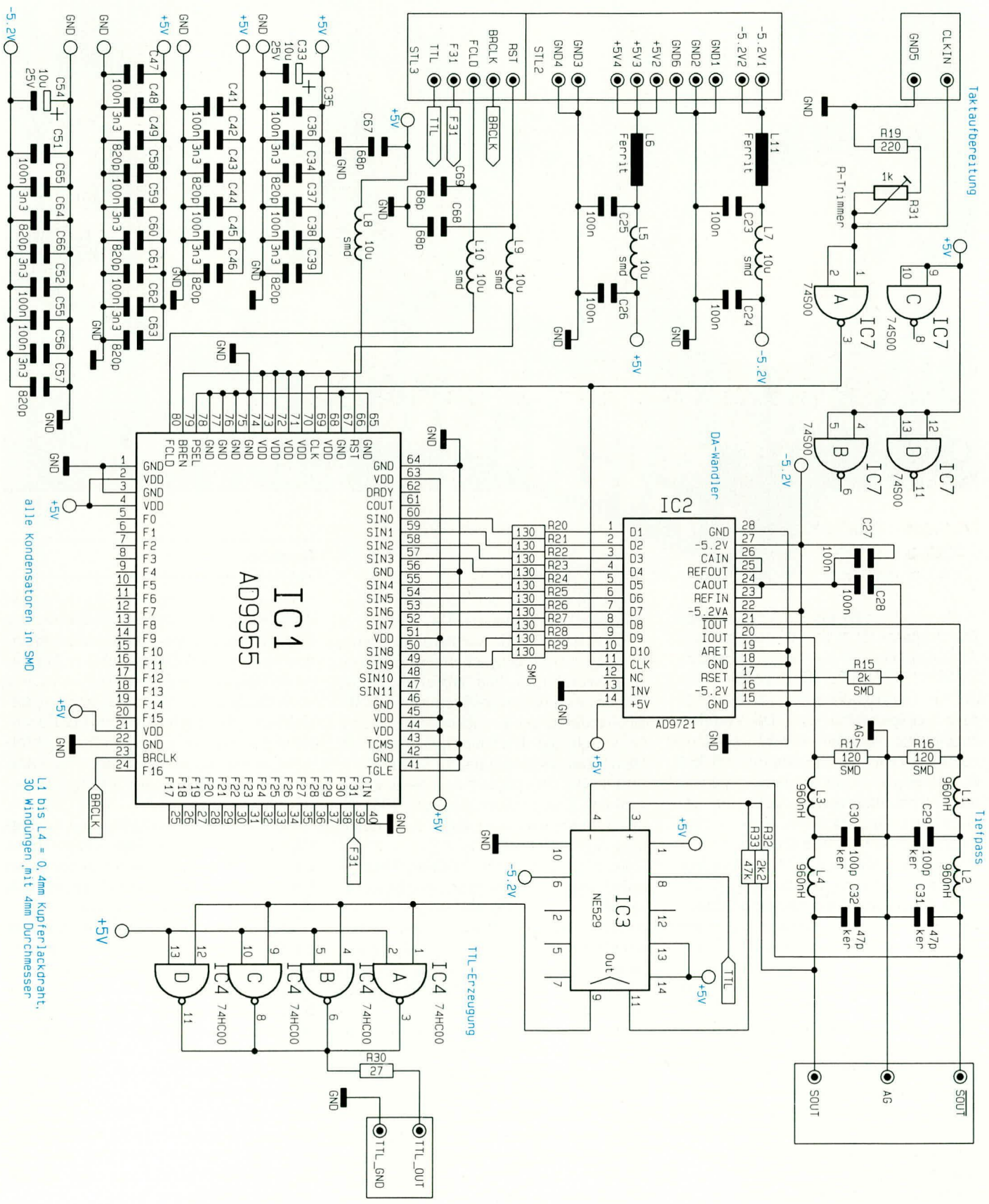
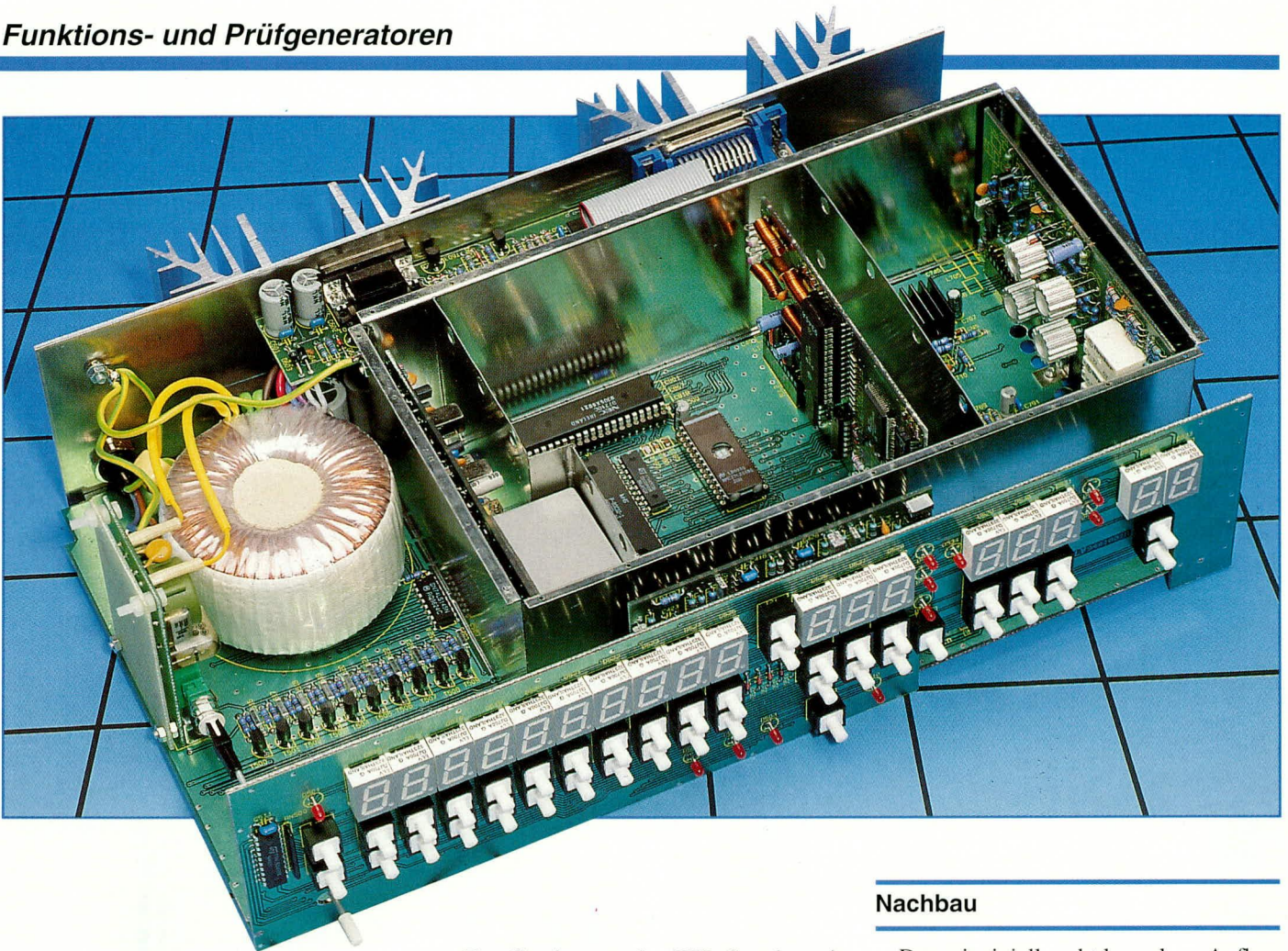


Bild 1: Schaltbild des DA-Moduls zur Signalerzeugung nach dem DDS-Verfahren



Widerstände R 20 bis R 29 zum Signal-DA-Wandler IC 2. Die Widerstände bilden zusammen mit den Eingangskapazitäten der DA-Wandlereingänge Tiefpässe, die das Übersprechen des Taktes verringern. Der speziell für das DDS-Verfahren entwickelte Wandler AD9721 setzt das erhaltene Datenwort in den entsprechenden Analogwert um. Er besitzt 2 Differenz-Stromausgänge, so daß eine I/U-Wandlung vorgenommen werden muß. Dies geschieht mit Hilfe der beiden 120 - Widerstände R16 und R17, an denen die Ausgangsspannung abfällt.

Da gemäß dem Abtasttheorem im Spektrum der Ausgangsspannung neben dem Nutzsignal Störfrequenzen (siehe „ELV-Journal“ 5/94) vorhanden sind, ist eine Tiefpaßfilterung des Ausgangssignals erforderlich. Dazu dienen die den beiden Ausgängen nachgeschalteten Tiefpaßfilter vierter Ordnung, die mit C 29 bis C 32 und L 1 bis L 4 realisiert wurden. Diese sind als Tschebyscheff-Filter dimensioniert, so daß der Verlauf der Filterkurve hinter der Grenzfrequenz von ca. 27 MHz steil abfällt und damit die Störfrequenzen weitgehend eliminiert.

Über 2 kurze Koaxialkabel werden die Ausgangssignale der Filter zum Eingang der Endstufe geführt, die eine große Bandbreite von 25 MHz besitzt und selbst bei dieser Frequenz noch in der Lage ist, ein Ausgangssignal von 20 V_{ss} zu erzeugen.

Zur Gewinnung des TTL-Synchronsignals wird der Komparator IC 3 vom Typ NE529 eingesetzt, der die Ausgangssignale der beiden Tschebyscheff-Filter miteinander vergleicht. Die Differenzsignale weisen eine Phasenverschiebung von 180° auf, wodurch der Komparator bei jedem Nulldurchgang der Sinussignale schaltet. Die Hysterese bestimmen R 32 und R 33. IC 4 (74HC00) puffert das Ausgangssignal des Komparators, das dem TTL-Signalausgang über eine kurze Koaxialleitung zugeführt wird.

Da IC 1, IC 2 und IC 7 mit der Taktfrequenz von ca. 86 MHz arbeiten, ist insbesondere bei diesem Modul aus EMV-Sicht einiges zu beachten. Zunächst ist die Masse beidseitig fast ganzflächig und eng vermascht ausgeführt, was Grundvoraussetzung für eine wirksame Blockung der Betriebsspannungen ist.

Darauf aufbauend sind diejenigen Pins der ICs, die die Betriebsspannungen mit hochfrequenten Strömen der Frequenz des Taktes und dessen Oberwellen belasten, mit 3 geeigneten, in Werten gestaffelten Kondensatoren geblockt. Dadurch erreicht man eine wirksame Blockung bis nahezu 1 GHz.

Des weiteren sind in die Betriebsspannungsleitungen Filter eingesetzt, die die Ausbreitung von Störfrequenzen im Gerät unterbinden. L 5, L 7 sowie C 23 bis C 26 in Verbindung mit den Ferritperlen L 6 und L 11 realisieren diese Filter.

Nachbau

Der prinzipiell recht komplexe Aufbau des SWG 9000 ist aus der Abbildung des ohne Gehäuse dargestellten Gerätes in seinen wesentlichen Zügen sichtbar. Die gesamte Beschreibung des Nachbaus ist, wie auch die Schaltungsbeschreibung, außerordentlich umfangreich und in der Bauanleitung ausführlich dargestellt. Nachfolgend wollen wir kurz auf einige wesentliche Besonderheiten, die den Aufbau betreffen, eingehen.

Im SWG 9000 sind Digital- und Analogteil völlig getrennt voneinander aufgebaut, um Einstreuungen des Digitalteils oder von Umgebungseinflüssen in den hochempfindlichen Analogteil zu vermeiden.

Diese Trennung erreicht man zum einen durch Abschirmbleche und zum anderen durch eine getrennte Betriebsspannungsversorgung der analogen und digitalen Schaltungskomponenten. So wird eine außerordentlich hohe Signalgüte auch bei Ausgangsspannungen im mV-Bereich erzielt.

Die modulare Bauweise (insgesamt 5 Module) vereinfacht den Aufbau und ermöglicht eine optimale Nutzung des Gehäuses. Das eingebaute Netzfilter schützt das Gerät vor Störungen von der Netzseite und verhindert gleichzeitig eine Abgabe von Störungen in das Netz.

Der Bedienungskomfort, die hohe Signalgüte sowie die herausragenden technischen Daten machen den SWG 9000 zu einem Gerät mit einem ausgezeichneten Preis/Leistungsverhältnis. **ELV**