

# Mikrocontroller-Grundlagen

Im 17. Teil dieser Artikelserie beschreiben wir ausführlich den I<sup>2</sup>C-Bus.

Teil 17

## 6. Allgemeines zum I<sup>2</sup>C-Bus

I<sup>2</sup>C ist die Abkürzung für Inter-IC-Bus (IIC) und wurde von der Firma Philips spezifiziert. Der I<sup>2</sup>C-Bus ist ein serieller Bus, der für die Verbindung von Mikroprozessoren mit anderen Peripheriebausteinen auf einer Platine entwickelt wurde.

Man könnte zwar die Verbindung zwischen einem Mikrocontroller und den externen Bausteinen über einen 8-Bit- oder breiteren Parallelbus vornehmen, allerdings würde dieses Konzept durch den höheren Leiterbahnen- und Pin-Bedarf der einzel-

nen ICs sehr viel Platz auf der Leiterplatte kosten.

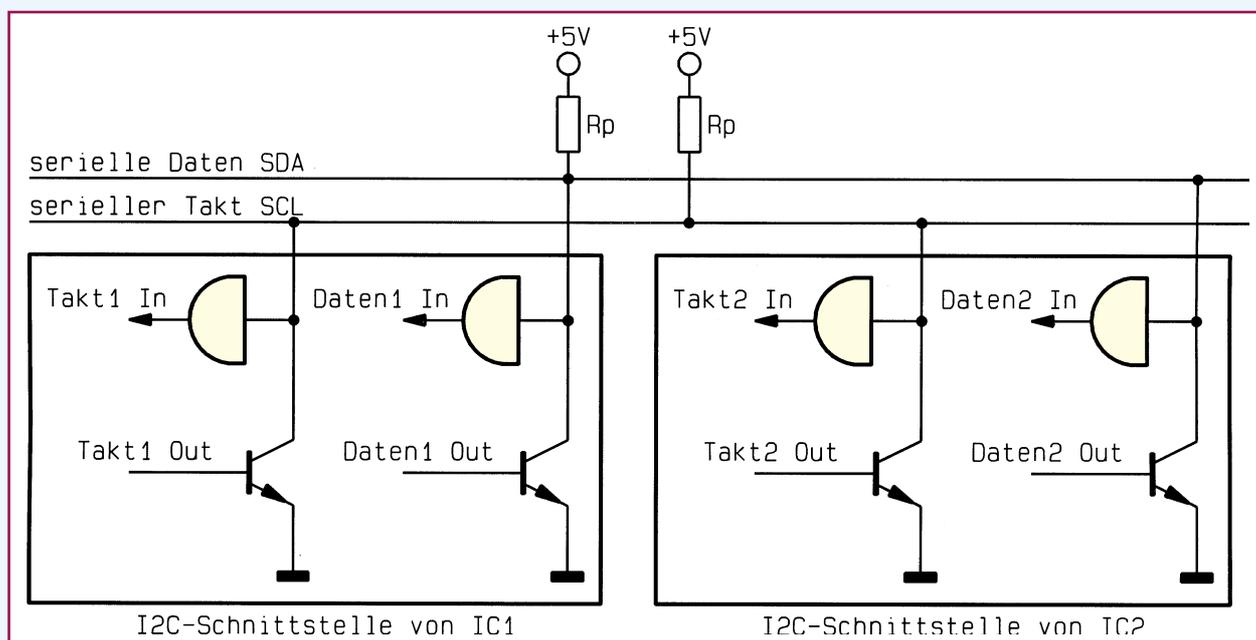
Der I<sup>2</sup>C-Bus kommt neben der Spannungsversorgung mit nur 2 Leitungen (Takt, Daten) aus, die die Daten bitseriell synchron übertragen. Die mit einem I<sup>2</sup>C-Bus versehenen integrierten Bausteine (Uhren, EEPROMs, RAMs, Steuerbausteine) benötigen in der Regel nur relativ niedrige Datenübertragungsraten, so daß die serielle Übertragung der benötigten Daten vollkommen ausreichend ist.

Die ursprüngliche Norm bietet eine maximale Transferleistung von „nur“ 10 kBits pro Sekunde, wobei die heute erhältlichen

Bausteine einen Datendurchsatz von bis zu 100 kBits pro Sekunde ermöglichen.

Für die reibungslose Datenübertragung wurden in den ICs zusätzlich EingangsfILTER integriert, die kleine Spikes auf den Signalleitungen herausfiltern. Weiterhin können langsame Bus-Teilnehmer Wartezyklen während der Datenübertragung erzwingen. Der „Fast“-Mode erweitert die Spezifikation des Busses auf bis zu 400 kBits pro Sekunde. Die genauen Timing-Parameter sind dazu den jeweiligen Datenblättern der Bauteile zu entnehmen.

Hauptmerkmal des I<sup>2</sup>C-Bus ist die Multimaster-Fähigkeit mit Kollisionsvermei-



**Bild 135:**  
An-  
schaltung  
der ver-  
schieden  
Bus-  
Teilnehmer  
am I<sup>2</sup>C-Bus

dung. Auf diese Weise können mehrere Mikrocontroller und Peripherie-Bausteine an den selben Bus angeschlossen werden und sogar miteinander kommunizieren.

### 6.1 Das I<sup>2</sup>C-Bus-Konzept

Der I<sup>2</sup>C-Bus verbindet ICs der Logik-Familien N-MOS, C-MOS und bipolar miteinander. Der Informationsaustausch erfolgt über die beiden Steuerleitungen SDA (Seriell DATA) und SCL (Seriell CLock).

Jeder Bus-Teilnehmer besitzt eine exklusive Adresse, abhängig davon, ob es sich hierbei um einen Speicherbaustein, eine LCD-Anzeige oder einen Mikrocontroller handelt, wobei auch die individuelle Adressierung mehrerer Bausteine vom gleichen Typ möglich ist.

Je nach Funktion kann jeder Bus-Teilnehmer nur Daten senden (z. B. Tastaturinterface) oder auch nur Daten empfangen (z. B. LC-Display), während andere Bausteine Daten sowohl senden als auch empfangen können (z. B. Speicherbausteine).

Der I<sup>2</sup>C-Bus unterscheidet Master- und Slave-Baustein. Als Master wird ein Baustein bezeichnet, das einen Datentransfer und dessen Richtung steuert, wozu auch die Generierung der entsprechenden Takt-Impulse auf der SCL-Leitung gehört. Ein Baustein, welcher vom Master adressiert wird, ist der Slave.

Grundsätzlich können alle am I<sup>2</sup>C-Bus angeschlossenen Bausteine jeweils Master- als auch Slave-Funktionen übernehmen, wobei es beispielsweise für ein EEPROM nicht sinnvoll ist, die Masterfunktion zu übernehmen, weshalb in diesen I<sup>2</sup>C-Bausteinen lediglich die Slave-Funktionen implementiert sind.

Die überwiegende Anzahl der I<sup>2</sup>C-Bus-kompatiblen ICs sind als Slave-Bausteine ausgeführt, während die meisten Mikrocontroller mit hardwaremäßig implementierter I<sup>2</sup>C-Schnittstelle sowohl die Master- als auch die Slave-Betriebsart beherrschen.

Die Zuteilung der Master- oder Slave-Funktion erfolgt dynamisch, so daß ein Mikrocontroller zu einem bestimmten Zeitpunkt als Master Daten an ein EEPROM senden kann und zu einem späteren Zeitpunkt von einem weiteren Mikrocontroller (z.B. zum Meßdatenempfang) als Slave angesprochen wird.

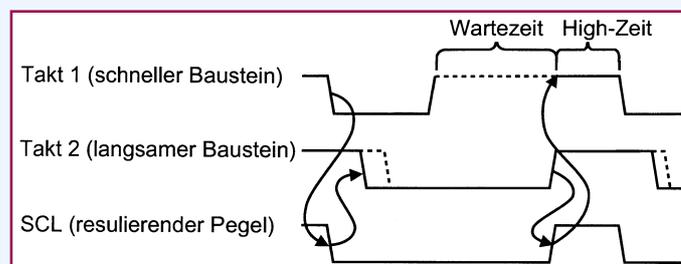
Der I<sup>2</sup>C-Bus ist ein Multimaster-Bus, dennoch kann gleichzeitig nur ein Master aktiv sein und darf den Bus benutzen.

### 6.2 Die Hardware der I<sup>2</sup>C-Schnittstelle

Sowohl die SCL- als auch die SDA-Leitung arbeiten bidirektional. Im Ruhezustand werden die Pegel der beiden Leitungen (SCL und SDA) durch jeweils einen Pull-up-Widerstand auf High-Pegel

gehalten. Der Wert für die Pull-up-Widerstände, die jeweils nur einmal am Bus vorhanden sind, beträgt bei einer Versorgungsspannung von + 5V mindestens 2 k $\Omega$ . Je nach Anzahl der angeschlossenen I<sup>2</sup>C-Bus-Teilnehmer und der geforderten Übertragungsrate kann der Wert auch höher sein.

Die Leitungslängen für den I<sup>2</sup>C-Bus sind für Entfernungen von ca. 30 cm bis zu 3 m



**Bild 136: Takt-synchronisation von mehreren Bausteinen am I<sup>2</sup>C-Bus**

vorgesehen, wobei eine längere Strecke je nach Übertragungsrate durchaus möglich ist. Die Anzahl der Bus-Teilnehmer ist nur durch die maximale Bus-Kapazität von 400 pF begrenzt, die beim Anschluß von ca. 20 Bausteinen erreicht ist.

Die am I<sup>2</sup>C-Bus angeschlossenen Bausteine haben, wie Abbildung 135 zeigt, Open-Drain- bzw. Open-Kollektor-Ausgänge, mit denen die entsprechende Leitung zur Ausgabe eines Low-Pegels auf Masse-Potential gelegt werden kann. Gleichzeitig liest ein Eingangspuffer die am Bus anliegenden Pegel ein, womit sich eine bidirektionale Datenübertragung realisieren läßt.

Durch die Open-Kollektor-Struktur ist es möglich, Bausteine verschiedener Familien (CMOS, TTL...), die auch mit verschiedenen Versorgungsspannungen arbeiten können, miteinander zu verbinden.

### 6.3. Die Taktsynchronisation

Die Datenübertragung erfolgt beim I<sup>2</sup>C-Bus synchron-seriell, d. h., daß jedes übertragene Bit über die Datenleitung SDA mit dem Takt am SCL synchronisiert wird.

An einem I<sup>2</sup>C-Bus lassen sich Bausteine mit verschiedenen Geschwindigkeiten und Taktfrequenzen betreiben. Jeder Master taktet die SCL-Leitung entsprechend seiner Systemfrequenz. Dieses erfolgt, wie in Abbildung 136 gezeigt, indem der Master seine Taktleitung auf Low-Pegel steuert und ca. 5 Mikrosekunden später wieder High-Pegel anlegt.

Die Synchronisation erfolgt dadurch, daß der Master nach der steigenden Flanke seines Taktes die Leitung überprüft, ob ein langsamerer Baustein die SCL-Leitung noch auf Low-Pegel hält (Abbildung 136). Ist das der Fall, stoppt der schnellere seinen internen Taktgenerator und wartet, bis die SCL-Leitung wieder High-Pegel führt. Erst danach beginnt die High-Verweilzeit (mind. 4 Mikrosekunden).

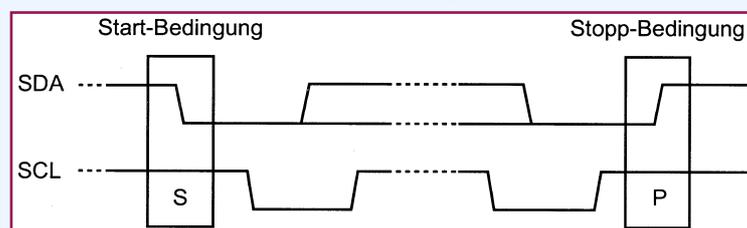
Damit wird die Zeit für den High-Pegel durch den Master festgelegt, während der langsamste Baustein die Zeit für den Low-Pegel am Bus bestimmt. Auf diese Weise sind alle Bausteine miteinander synchronisiert, wobei der langsamste Baustein die Transferrate festlegt.

Wurde ursprünglich die maximale Transferrate auf dem I<sup>2</sup>C-Bus mit 10 kB/s festgelegt, so verarbeiten die heute erhältlichen Bausteine eine Transferrate von 100 kB/s. Die weiterführende Fast-I<sup>2</sup>C-Spezifikation erlaubt bereits Taktfrequenzen von über 400 kHz.

### 6.4. Die Start- und Stopp-Bedingungen

Im Ruhezustand liegen die Pegel der SDA- und SCL-Steuerleitungen auf „high“. Möchte nun ein Bus-Teilnehmer (Masterfunktion) die Kontrolle über den I<sup>2</sup>C-Bus haben, legt er bei High-Pegel der seriellen Taktleitung SCL den Pegel der seriellen Datenleitung SDA auf „low“, womit alle anderen Bausteine detektieren, daß der Bus jetzt belegt ist. Mit der fallenden Flanke an der SDA-Datenleitung ist bereits, wie in Abbildung 137 gezeigt, die Startbedingung, mit der jede I<sup>2</sup>C-Bus-Übertragung beginnt, erfüllt.

Bis zur Freigabe der I<sup>2</sup>C-Busses darf kein anderer Baustein einen Datentransfer vornehmen. Das geschieht am Ende einer Datenübertragung, indem der Master bei High-Pegel der seriellen Clockleitung SCL den Pegel der seriellen Datenleitung SDA



**Bild 137: Start- und Stoppbedingungen für den I<sup>2</sup>C-Bus**

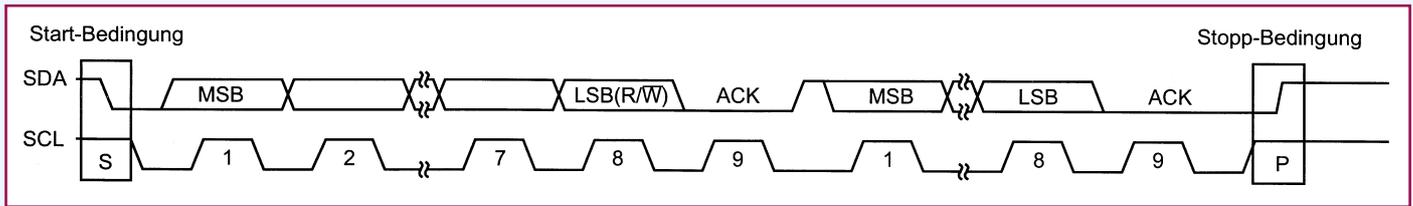


Bild 138: Datenübertragung über den I<sup>2</sup>C-Bus

auf „high“ legt (Stopp-Bedingung). Danach kann ein anderer I<sup>2</sup>C-Bus-Teilnehmer die Kontrolle über den Bus übernehmen.

Während der Datenübertragung darf eine Pegelveränderung an der SDA-Leitung nur vorgenommen werden, wenn die SCL-Taktleitung Low-Pegel führt.

Eine Besonderheit stellt die sogenannte „Repeated-Start-Condition“ dar, wo der Master den Transfer nicht durch eine Stopp-Bedingung beendet, sondern einfach eine neue Start-Bedingung generiert. Dieses spart Zeit und ist bei der Umschaltung von Schreib- auf Lesebetrieb notwendig.

### 6.5 Datenübertragung

Die kleinste Übertragungseinheit, die die Bausteine untereinander austauschen, ist 1 Byte (8 Bit). Die Anzahl der in einem Transfer übertragenen Datenbytes ist grundsätzlich nicht begrenzt. Allerdings können manche Bausteine, abhängig von ihrer Funktion, nur eine bestimmte Anzahl von Datenbytes senden bzw. empfangen.

Die Übertragung eines Bytes erfordert 8 Taktimpulse auf der SCL-Leitung, die der Master generiert. Wie aus Abbildung 136 ersichtlich ist, darf der angesprochene Slave den Low-Zustand der SCL-Leitung verlängern, was der Master bei der Taktgenerierung berücksichtigen muß.

Die Änderung auf der Datenleitung SDA darf während der Datenübertragung nur während der Low-Pegel der Taktleitung SCL erfolgen, um nicht die Start- oder Stopp-Bedingung im Verlauf der Datenübertragung zu erfüllen.

Die Byteübertragung beginnt immer mit dem höchstwertigen Bit (MSB = Most Significant Bit) eines 8-Bit-Datenwortes.

Abbildung 138 zeigt die grundsätzliche Ausführung des Datentransfers.

Nach dem Senden der 8 Datenbits folgt immer die Übertragung des neunten Acknowledge-Bits (ACK). Dazu generiert der Master einen neunten Taktimpuls auf der Clock-Leitung SCL. Die Datenleitung SDA ist dabei vom Empfänger auf Low-Pegel zu legen. Durch dieses Handshake-Signal wird dem Sender signalisiert, daß der Empfänger die vorausgegangenen 8 Datenbits korrekt empfangen hat.

Sendet der Master Daten an einen Slave, so muß der Slave nach jedem empfangenen Byte das Acknowledge-Signal (Low-

Pegel) senden, das vom Master gelesen werden muß. Ist das Acknowledge-Bit „low“, so kann die Übertragung fortgesetzt werden, während bei dem Empfang eines High-Pegels der Slave nicht an der Datenübertragung teilnimmt.

So kann beispielsweise ein Speicherbaustein eine bestimmte Anzahl von Datenbytes aufnehmen und diese mit dem Acknowledge-Bit bestätigen, bis der Speicherplatz belegt ist. Danach wird der Master kein aktives Acknowledge-Bit mehr vom Slave empfangen und muß die Datenübertragung abbrechen.

Wenn in umgekehrter Richtung der Master den Slave ausliest, muß der Master das Acknowledge-Bit nach jedem empfangenen Byte aktivieren. Die Auswertung des ACK-Bits ist zwingend erforderlich, da kein Sender Daten übertragen darf, wenn ein negatives Acknowledge (NACK) empfangen wurde.

Bei der Datenübertragung von einem Slave zu dem Master sollte der Master das letzte zu empfangende Byte mit einem

wird. Den Vorgang dieser Zuteilung bezeichnet man auch als Arbitrierung. Der I<sup>2</sup>C-Bus verwendet dazu das CSMA/CD-Verfahren (Carrier Sense, Multiple Access with Collision Avoidance). Der übertragungswillige Master prüft zunächst die Leitung, um festzustellen, ob der Bus belegt ist, was angenommen wird, sobald eine der beiden Leitungen SDA oder SCL Low-Pegel führt. Diesen Vorgang bezeichnet man auch als Carrier-Sense.

Für einen Zugriff müssen beide Steuerleitungen für mindestens 4,7 µsek High-Pegel führen. Bei Erkennung des freien Busses generiert der Master die Start-Bedingung und gibt das erste Byte aus, welches die gewünschte Slave-Adresse beinhaltet. Sollte ein weiterer Master gleichzeitig auf den Bus zugreifen, so werden zunächst die Taktsignale, wie in Kapitel 6.3 beschrieben, aneinander angeglichen.

Während der Clock-High-Phase vergleichen die Master jeweils durch eine integrierte Logik den Pegel des von ihnen ausgegebenen SDA-Bits mit der zurück-

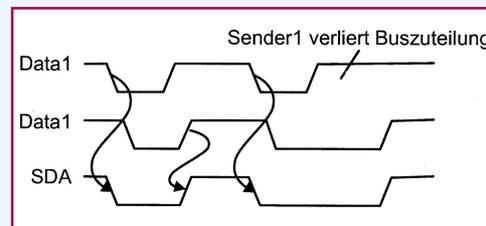


Bild 139: Kollisionsdetektierung bei gleichzeitigem Zugriff zweier Master auf den I<sup>2</sup>C-Bus

NACK (High-Pegel) quittieren, um den Transfer ordnungsgemäß abzuschließen. Der Empfänger darf das Acknowledge-Signal nur während des Low-Pegels der Taktleitung SCL ändern, so daß die Start- oder Stopp-Bedingung nicht erfüllt ist. Erst danach folgt die Übertragung der Stopp-Bedingung.

In einigen Fällen kann der Empfänger auch bewußt den Kontakt durch Nichtbestätigung des Quittungssignals (ACK) abbrechen, wenn er beispielsweise die übermittelte Datenmenge aus Platz- oder Zeitgründen nicht mehr verarbeiten kann.

### 6.6 Multimasterbetrieb

Sind mehrere Bausteine am Bus angeschlossen, die eine Masterfunktion ausüben können, so muß eine Logik dafür Sorge tragen, daß ein gleichzeitiger Zugriff mehrerer Master auf den Bus geregelt

gelesenen Information. Gibt nun ein Master einen High-Pegel aus und empfängt aber einen Low-Pegel, wie in Abbildung 139 gezeigt, so bricht der betreffende Master die Übertragung unmittelbar nach dieser Feststellung ab, und wartet, bis der Bus wieder frei ist. Dieser Vorgang wird auch als Collision-Avoidance (Kollisionsvermeidung) bezeichnet, da die Übertragung des verbleibenden Masters nicht gestört wird.

Im Gegensatz zu einem anderen Verfahren mit der Bezeichnung Collision-Detection (Kollisionserkennung), bei dem alle beteiligten Sender den Bus freigeben müssen, ist durch das beschriebene Verfahren die Übertragungsleistung des Busses höher, da immer ein Master die Zuteilung bekommt.

Im achtzehnten Teil dieser Artikelserie folgt die Beschreibung der Adressierung und der Datenübertragung im I<sup>2</sup>C-Bus. **ELV**