



# Mikrocontroller Grundlagen Teil 23

*Im vorliegenden, abschließenden Teil dieser Artikelserie setzen wir die Beschreibung der 8051-Familienmitglieder fort, gefolgt von den neuen Prozessor-Architekturen.*

## 7.3 Die C500-Familie

Eine neue Familie bilden die Controller der Serie SAB-50x von Siemens. Die Bausteine sind ebenfalls Opcode-kompatibel zum 8051 Standard. Zusätzlich sind der C501 und der C502 pinkompatibel zu dem Standard-Pinout im DIP40 bzw. PLCC44 Gehäuse. Der C503 ist nur im PLCC44 Gehäuse erhältlich, dessen Pinbelegung Abbildung 175 zeigt.

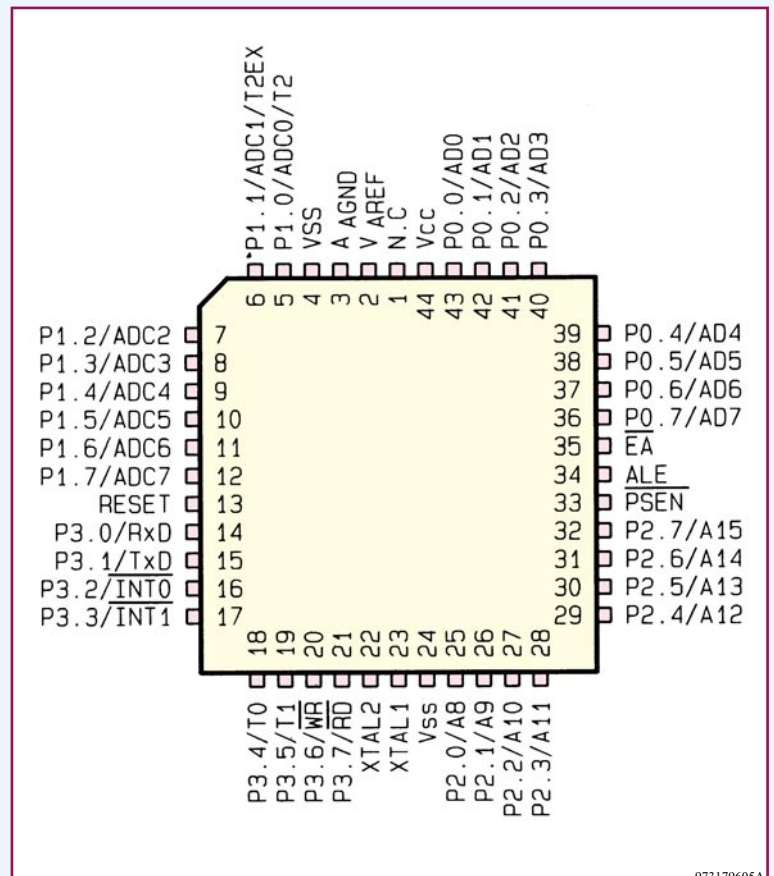
Die C500-Familie zeichnet sich besonders durch niedrige Leistungsaufnahme und eine Taktfrequenz bis 40 MHz aus. Zusätzlich läßt sich der Mikrocontroller mit einer minimalen Versorgungsspannung von 3 V betreiben. Neben 256 Byte internem RAM, 8 kByte ROM (nur ROM-Version) besitzt der C501 eine erweiterte serielle Schnittstelle mit einer Übertragungsrate von bis zu 1,25 MBaud. Neben der schnelleren Codeverarbeitung bietet der Timer 2 zusätzlich die Möglichkeit der Zählrichtungsbestimmung (auf-/abwärts).

Für Anwendungen, die mehr Speicherplatz benötigen, wurde der SAB-C502, mit 256 Byte Extended-RAM zusätzlich zu den bereits vorhandenen 256 Byte RAM, entwickelt. Die maximale Taktfrequenz ist allerdings auf 20 MHz beschränkt. Die 256 Byte Extended-RAM sind über 8 Datapointer (DPTR) erreichbar (XRAM), ohne daß der externe Datenbus benutzt wird.

Um auch sicherheitsrelevante Anwendungen, wie beispielsweise in der Auto-

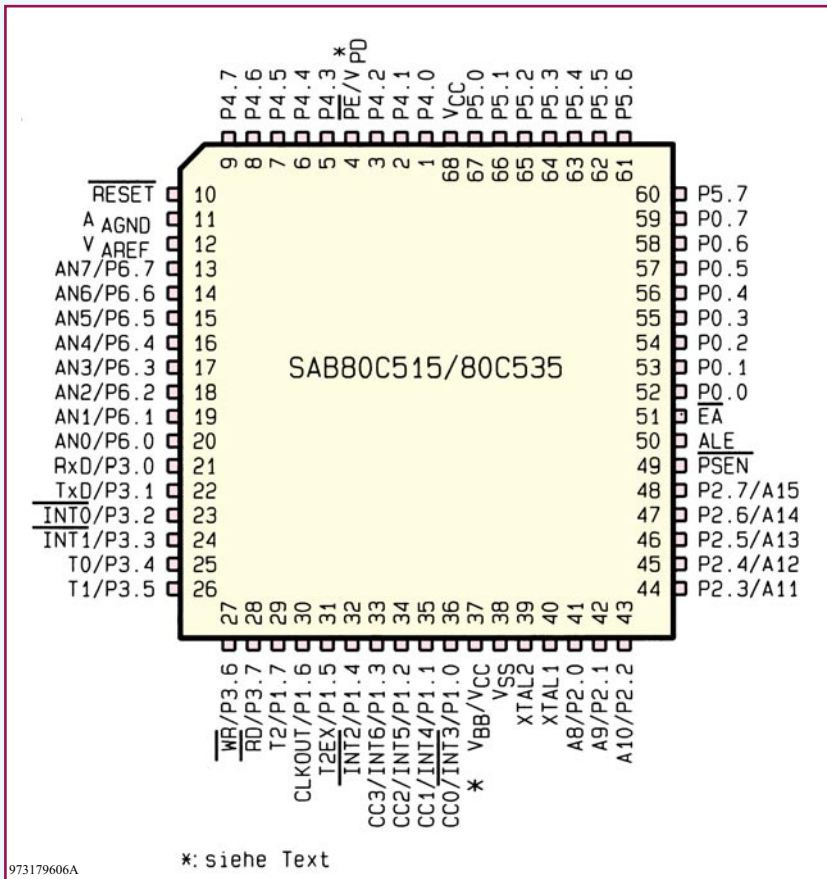
mobil- und Industrielektronik, zu gewährleisten, wurden zusätzlich zu der Speichererweiterung zwei Watchdogs und ein Fast-Power-On-Reset auf dem Controller inte-

griert. Der Oszillator-Watchdog überwacht die externe Taktversorgung, während der programmierbare Watchdog-Timer die CPU überwacht.



**Bild 175:**  
Anschluß-  
belegung  
des  
SABC503

973179605A



**Bild 176: Anschlußbelegung des SAB 80C515/535**

Zusätzlich zu den Funktionen des SAB-C501 und des SAB-C502 enthält der SAB-C503 noch einen AD-Wandler, der in weniger als 10 µsec Wandlungszeit ein 10-Bit Ergebnis liefert. Bedingt durch die zusätzlich erforderlichen Anschlüsse für den AD-Wandler ist der Baustein nur im 44poligen PLCC-Gehäuse erhältlich, dessen Anschlußbelegung Abbildung 175 zeigt.

Weitere Vertreter der SAB-5xx-Familie sind der C509, C511, C513, C515, und der C517, die mit erweitertem XRAM-Bereich und zusätzlichen Timern, Schnittstellen und I/O-Ports ausgestattet sind.

### 7.4 Die 80C535-Familie

Der 80C535 vom Siemens und AMD ist die funktionelle Weiterentwicklung des 8031/51-Standards. Der Controller verfügt neben den Grundfunktionen des 8031/51 zusätzlich über einen AD-Wandler, einen weiteren Timer zur Pulsbreitenmodulation, einen Watchdog-Timer, zusätzliche Interruptmöglichkeiten mit 4 Prioritätsebenen, zwei weitere I/O-Ports und einen größeren ROM-Bereich.

Für gehobene Ansprüche ist neben dem 80C535 der 80C537 entwickelt worden, der neben einem höher auflösenden AD-Wandler und zusätzlichen Interrupt-Möglichkeiten über einen zusätzlichen Timer verfügt. Die A-Versionen der Mikrocontroller bieten erhöhte ROM- und RAM-Kapa-

zitäten, wie aus Tabelle 27 („ELVjournal“ 2/97) ersichtlich ist, an.

Abbildung 176 zeigt die Anschlußbelegung des 80C515/80C535. Die NMOS-Version unterscheidet sich in zwei Anschlußpins von der CMOS-Version. Pin 37 (V<sub>BB</sub>) ist bei der NMOS-Ausführung

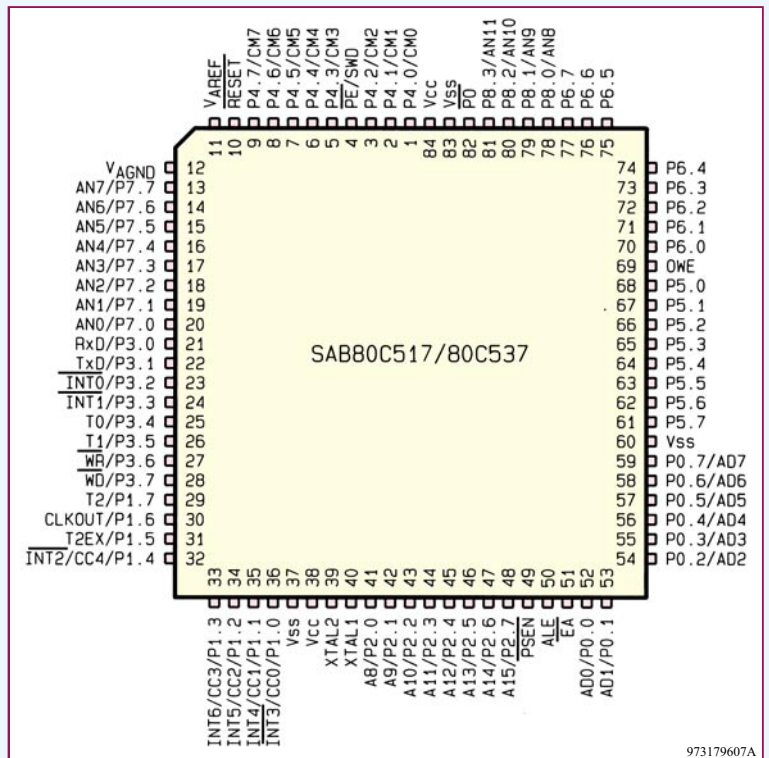
über einen 100nF-1µF-Kondensator mit der Spannungsversorgungsmasse zu verbinden, um damit eine Stabilisierung für den AD-Wandler zu erreichen. Bei der CMOS-Version ist der Pin 37 (V<sub>CC</sub>) mit der positiven Spannungsversorgung zu verbinden.

Pin 4 wird ebenfalls unterschiedlich genutzt. Bei der NMOS-Ausführung dient dieser Pin (V<sub>PD</sub>) zur Versorgung von 40 Byte des internen RAMs für den Datenerhalt bei abgeschalteter Hauptversorgung. Mit Anlegen der Spannungsversorgung an dem V<sub>CC</sub>-Pin 68 speist diese die 40 Byte des internen RAMs unabhängig von der Versorgung an V<sub>PD</sub>.

Die CMOS-Version wird auch im Stromsparmodus (IDLE oder Power down) über den V<sub>CC</sub>-Pin weiterversorgt, so daß der PE-Pin für das Freigeben (L-Pegel) bzw. für das Sperren des Software-Power-Down-Modes (H-Pegel) genutzt werden kann.

Die Auflösung des nach der sukzessiven Approximation arbeitenden AD-Wandlers ist beim Standard-535-Controller auf 8 Bit begrenzt. Durch geschickte Verwendung der internen programmierbaren Referenzspannung läßt sich die Auflösung auf zehn Bit erhöhen. Für den AD-Wandler stehen 8 analoge Eingangskanäle zur Verfügung, die sich von der Steuersoftware individuell auswählen lassen. Bei den 537-Controllern ist die Auflösung des AD-Wandlers bereits auf 12 Bit erhöht.

Bei vielen der heutigen Mikrocontroller-Anwendungen wird eine externe Logik zur Generierung eines zeitlichen Intervalls benötigt. Neben den beiden Standard-Timern ist in der 535-Serie ein weiterer



**Bild 177: Anschlußbelegung des SAB 80C517/537**

Timer implementiert, der über Capture-, Compare- und Reload-Funktionen verfügt. Der Takt für diesen Timer kann vom internen Oszillator, einem externen Takt oder einer externen Gate-Steuerung kommen.

Im Capture-Modus kann, nach Auslösung eines externen Ereignisses oder durch einen Software-Schreibbefehl, der aktuelle Timer-Inhalt in ein vorbestimmtes Register (Capture-Register) kopiert werden. Ein externes Ereignis ist eine negative Flanke an dem zugehörigen Port-Pin.

Im Compare-Mode wechselt der zugehörige Port-Pin auf High-Pegel, sobald der 16-Bit-Zählerinhalt einen vorgegebenen Vergleichswert erreicht hat. Dieser logische Pegel bleibt so lange erhalten, bis der Zähler von FFFFH nach 0000 überläuft, womit gleichzeitig der logische Pegel des zugehörigen Port-Pins auf „Low“ zurückgesetzt wird. Auf diese Weise lassen sich bis zu vier Ausgänge mit einem pulsweitenmodulierten Signal beaufschlagen. Durch Nachschaltung eines Tiefpaß-Filters wird ein proportionales Analogsignal erzeugt, womit bereits ein kompletter DA-Wandler aufgebaut ist.

Im Reload-Mode wird durch einen Überlauf von Timer 2 oder durch ein externes Signal der Inhalt eines der vier Reload-Register in den Timer kopiert (z.B. für Zeitmessungen).

Ein in der 535-Familie untergebrachter zusätzlicher 16-Bit-Zähler ist nur für die Watchdog-Funktion vorgesehen. Er soll ein eventuell durch externe Störungen oder durch Software-Fehler nicht korrekt funktionsfähiges Programm wieder neu starten. Diese Funktion wird überall dort benötigt, wo es auf große Sicherheit für den Menschen und auf hohe Zuverlässigkeit von Maschinen ankommt.

Getaktet wird der 16-Bit-Zähler mit der durch 12 geteilten Oszillatorschwingfrequenz. Einmal freigegeben, muß der Zählerstand rechtzeitig vor dem Überlaufen von der Steuersoftware zurückgesetzt werden. Bei fehlerhafter Software oder Hardware löst der Controller mit einem Überlauf des 16-Bit-Zählers automatisch ein Software-Reset aus, der zum Neustart des Programmes führt. Durch ein entsprechendes Flag ist dieser Programmneustart von einem Power-Up-Reset unterscheidbar.

Neben einem höher auflösenden AD-Wandler bietet der 80 C 517 bzw. 80 C 537 weitere I/Os, einen zusätzlichen Timer, weitere Interruptmöglichkeiten, 8 Datenzeiger und erweiterte PWM Ausgabestrukturen. Abbildung 177 zeigt die Pinbelegung des im 84poligen PLCC-Gehäuse untergebrachten Controllers.

### 7.5 Die neuen Prozessorarchitekturen

Die ständig steigenden Anforderungen

bezüglich der Rechengeschwindigkeit von Prozessoren haben die Prozessorhersteller veranlaßt, zeitlich besonders effiziente Architekturen zu entwickeln. Die herkömmliche Prozessorarchitektur läßt die Abarbeitung eines kompletten Befehls immer durch das zeitliche Aneinanderreihen fest definierter Arbeitsabläufe (Maschinenzyklen) sicherstellen. Eine solche sequentiell arbeitenden Prozessorarchitektur bezeichnet man auch als Fetch & Execute Struktur, die durch folgende Ausführungsschritte gekennzeichnet ist:

- Befehl holen (Fetch Opcode)
- Befehl decodieren
- Operand holen (Fetch Operand)
- Befehl ausführen (Execute).

Diese Struktur nutzt den Daten- und Adreßbus nur zu Zeiten der Fetch-Zyklen. Damit bleibt der Bus während der Befehlsdekodierungs- und Befehlsausführungsphase ungenutzt. Die Erhöhung der Integrationsdichte und die damit verbundene Takterhöhung brachte zwar einen höheren Datendurchsatz, erfordert allerdings auch entsprechende Peripherie (Programmspeicher).

Eine erhebliche Verbesserung bringt die Methode des Pipelinings. Nach diesem Prinzip werden die Ausführungsschritte nicht nacheinander abgearbeitet, sondern parallel. Dafür ist es jedoch notwendig, auf Prozessorebene mehrere Hardwarekomponenten zu implementieren. Ist im eingeschwungenen Zustand der Prozessor noch mit der Decodierung des Befehls beschäftigt, so nimmt ein anderer Teil des Prozessors bereits das Holen der nächsten Operanden vor. Damit läßt sich eine optimale Ausnutzung des externen Busses vornehmen.

#### 7.5.1 Die DS80C320 Familie

Der Prozessorhersteller DALLAS Semiconductor bietet 8051 Prozessoren, die eine 3fach höhere Verarbeitungsgeschwindigkeit bei gleichem Takt zulassen, an. Dabei werden pro Befehlszyklus anstelle der üblichen 12 Zyklen diese in nur 4 Taktzyklen abgearbeitet. Bei einer zusätzlichen Erhöhung der Taktfrequenz auf bis zu 25 MHz ist der Datendurchsatz sogar auf das 6fache zu steigern.

Der im 40poligen DIL- oder 44poligen PLCC-Gehäuse untergebrachte Prozessor ist direkt zum Standardprozessor austauschbar. Zusätzlich bietet der Prozessor einen zweiten Datenpointer, eine zweite, voll ausgebaute serielle Schnittstelle (UART), zusätzliche Interruptmöglichkeiten, einen programmierbaren Watchdog, eine Power-On-Reset-Logik und eine Power-Fail-Frühwarnung. Weitere Mitglieder der Familie mit den Bezeichnungen 80C310, 80C320 und 80C520 bieten zusätzliche Funktionen.

#### 7.5.2 Die MCS251-Familie

Mit den 8-Bit-Controllern MCS 251 von Intel läßt sich auf Basis von bestehenden MCS51-Programmcodes die Verarbeitungsgeschwindigkeit um das 5fache steigern. Diese wird durch eine dreistufige Pipeline-Architektur mit 2 Takten pro Maschinenzyklus gegenüber 12 Takten pro Maschinenzyklus bei der MCS51-Architektur erreicht. Der Datenaustausch zwischen CPU und internen Peripheriefunktionen, Speichern und anderen Systemeinheiten erfolgt über einen 16-Bit-Bus für die Befehlsabarbeitung sowie einen 8-Bit-Datenbus. Programme und Daten können beim MCS 251 in einem 16 MByte großen Adreßbereich abgelegt werden.

Durch Umschreiben von MCS51-Code für die MCS251-Architektur läßt sich sogar eine 15fache Leistungssteigerung erreichen. Dafür stehen 16- und 32-Bit-Registerzugriffe und neben weiteren Funktionen ein 64 kByte großer Stack-Bereich mit zusätzlichen Stack-Befehlen zur Verfügung. Damit ergibt sich auch eine erhöhte Effizienz bei der Verarbeitung von C-Code.

Durch die Weiterentwicklung der MCS51-Mikrocontroller-Familie entstehen leistungsfähige Produkte, die auch höheren Anforderungen genügen.

#### 7.5.3 Der 80C51XA-Standard

Aufgrund der erhöhten Anforderung am Mikrocontroller-Markt hat auch Philips/Sigmetrics leistungsfähigere 8051-kompatible Controller entwickelt. Die 80C51XA (extended architecture) Architektur verbindet 16-Bit-Leistungsfähigkeit mit der vertrauten 80C51-Software. Der 80C51-Befehlssatz ist eine Untermenge des XA-Befehlssatzes. Die XA-Architektur bietet daher ohne Softwareänderung eine 4fache Rechengeschwindigkeit und eine 10fache Rechenleistung bei entsprechender Softwareanpassung.

Der XA ist für Multitasking Applikationen optimiert, wobei die Arbeitsgeschwindigkeit und die Speicheradressierung des XA einen effizienten Einsatz von Hochsprachen wie z. B. C erlauben.

Die geringe Leistungsaufnahme ermöglicht auch den Betrieb in batteriebetriebenen Bereichen.

Die Basisversion des XA-Controllers besitzt neben 512 Byte internem RAM, drei 16-Bit-Timer, Hardware-Watchdog und zwei serielle Schnittstellen (UART).

Aufgrund der großen Vielfalt der am Markt angebotenen 8051-Derivate haben wir uns im vorliegenden Artikel zugunsten einer guten Übersicht auf eine Auswahl konzentriert. Für vertiefende Informationen steht eine umfangreiche Literatur zur Verfügung. 