

20-MHz-DDS-Board DDS 20

Das neue 20-MHz-DDS-Board erzeugt Sinus- und Rechtecksignale im Frequenzbereich von 0,1 Hz bis 20 MHz. Durch das DDS-Verfahren ergeben sich sowohl eine ausgezeichnete Signalqualität (hoher Nebenwellenabstand) als auch sehr kleine Frequenz-Einstellschritte. Das DDS-Board ist universell einsetzbar, z. B. zum preisgünstigen Aufbau eines hochwertigen Sinus-/Rechteckgenerators oder einer hochauflösenden Zeitbasis für Kurzwellenempfänger o. ä.

Allgemeines zum DDS-Verfahren

Das DDS-Verfahren (direct digital synthesis, direkte digitale Synthese) erzeugt Signale auf digitale Weise durch direkte Digital-Analog-Wandlung und besitzt gegenüber allen anderen Verfahren entscheidende Vorteile:

- hohe Frequenzgenauigkeit (Genauigkeit des Systemtaktes)
- sehr kleine Frequenzeinstellschritte im gesamten Frequenzbereich
- gute Temperatur- und Zeitstabilität
- ein einziger großer Frequenzbereich, d. h. keine Bereichsumschaltung
- schnelles, phasendurchgängiges Abstimmen
- kein Frequenzüberschwingen bei Frequenzänderung

Sinus-Signale lassen sich durch den mathematischen Ausdruck $a(t) = A \cdot \sin(\omega \cdot t)$ beschreiben. Dieser periodische Kurvenverlauf lässt sich digital durch Ausgabe von entsprechenden Digitalwerten (Abtastwerte einer Sinusschwingung) auf einem Digital- Analogwandler erzeugen. Die

Phase einer Sinusschwingung ($\omega \cdot t$) reicht von 0° bis 360° (im Winkelmaß) bzw. von 0 bis 2π (im Bogenmaß). Sie läuft rampenförmig von 0 bis 2π hoch und springt dann auf 0 zurück. Abbildung 1 zeigt eine Sinusschwingung und die zugehörige Phase. Für die Erzeugung des Sinussignals per DDS wird diese Phase digital über den so genannten Phasen-Akkumulator erzeugt. Der zur aktuellen Phase gehörende Digitalwert ist in einer Tabelle abgelegt und wird auf einen Digital-Analogwandler gegeben, der dann den entsprechenden Spannungswert erzeugt.

Der im DDS-Board eingesetzte Chip AD9835 beinhaltet ein komplettes DDS-System, das gemäß des vereinfachten Blockschaltbildes (Abbildung 2) näher erläutert werden soll. Der direkte digitale Synthesizer besteht im wesentlichen aus drei Hauptkomponenten:

1. Phasen-Akkumulator
2. Phasen-Sinus-Konverter (Tabelle mit Abtastwerten)
3. Digital/Analog-Wandler

Wie bereits erläutert, reicht die Phase einer Sinusschwingung von 0 bis 2π . Der Phasen-Akkumulator (1) ist ein 32 Bit breiter Speicher (Auflösung: $2^{32} = 4.294.967.296$), der in digitaler Form die aktuelle Phase der zu erzeugenden Sinusschwingung enthält. Ist jede Stelle des 32-Bit-Speichers 0, so entspricht dies 0 Rad, steht an jeder Stelle eine 1, hat die Phase 2π Rad erreicht. Während jedes Taktzyklus der Taktfrequenz f_r wird zum Inhalt des Phasen-Akkumulators der Wert „Delta-Phase“ addiert. Der Wert „Delta-Phase“ repräsentiert den Phasensprung in der Si-

Technische Daten: DDS 20

Sinussignal	
Frequenzbereich:	0,1 Hz bis 20 MHz
Ausgangsspannung:	0 V bis 2,5 V _{SS} an 50 Ω
Nebenwellenabstand:	ca. 50 dB bis 10 MHz
Rechtecksignal	
Bereich:	0,5 Hz bis 20 MHz
Ausgangsspannung:	5 V _{SS} an 50 Ω , TTL-Pegel
Signalanstiegszeit:	< 4 nS
Anzeige:	LC-Display, 8-stellig, mit Funktionsanzeige
Frequenzauflösung:	0,1 Hz im Bereich von 0,1 Hz - 9,999999 MHz, 1 Hz im Bereich von 10 MHz - 20 MHz
Genauigkeit:	softwaremäßig kalibrierbar, ohne Kalibrierung 50 ppm
Wobbelgenerator	
Wobbelbereich:	0,1 Hz bis 20 MHz
Wobelfrequenz:	0,1 Hz bis 20 Hz
Weitere Features	
- PLL-Faktor:	1 bis 100
- Zwischenfrequenz:	0 bis 2 GHz, addier- oder subtrahierbar
- Programmierung des Frequenz-Einstellbereiches (minimale/maximale Frequenz)	
- 10 nichtflüchtige Speicher für Frequenzen	
- nichtflüchtige Speicherung der zuletzt aktiven Frequenz	
Spannungsversorgung:	+7 bis 12 V/100 mA und -7 bis -12 V/100 mA (nur bei Sinussignal erforderlich)
Abmessungen:	154 x 64 mm

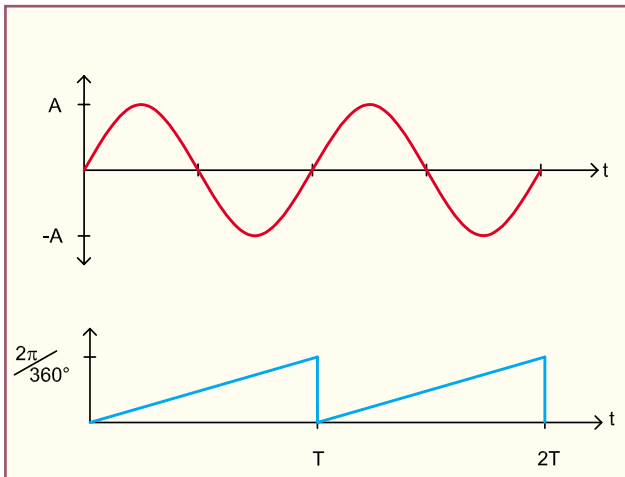


Bild 1: Sinusschwingung mit zugehöriger Phase

Genauigkeit und Stabilität der Taktfrequenz die Genauigkeit und Stabilität des Sinussignals. Die Frequenzauflösung, d. h. der kleinste Einstellschritt des Sinussignals, wird durch die Wortbreite N von „Delta-Phase“ festgelegt. Die Frequenzauflösung Δf ergibt sich zu:

$$\Delta f = f_i / 2^N$$

Beim DDS-Board liegt der kleinste (interne) Frequenzeinstellschritt bei einer Taktfrequenz von 50 MHz und einer Wortbreite von $N = 32$ bei 11,64 mHz.

Der Phasen-Sinus-Konverter (2) besteht im wesentlichen aus einem Speicher (Tabelle), über dessen Adressbereich verteilt die digitalen Abtastwerte einer Sinusschwingung stehen. Dieser Speicher wird nun periodisch mit den „m“-höchstwertigen Bits des Phasen-Akkumulators als Adressen ausgelesen. Eine Begrenzung auf „m“-Bit ist erforderlich, um den Aufwand für den Speicher gering zu halten. Damit

nusschwingung pro Taktzyklus und wird von einem Mikrocontroller in den Chip geschrieben. Das Ausgangssignal des Phasen-Akkumulators entspricht somit einer digitalen Rampe, deren Wiederholfrequenz gleich der Frequenz des erzeugten Sinussignals ist. Abbildung 3 zeigt die vereinfachte

Die Anzahl der Phasensprünge pro Ausgangssignalperiode ergibt sich zu:

$$\text{Anzahl der Phasensprünge} = 2^{32} \cdot \text{„Delta Phase“}$$

Damit kann die Frequenz des Ausgangs-

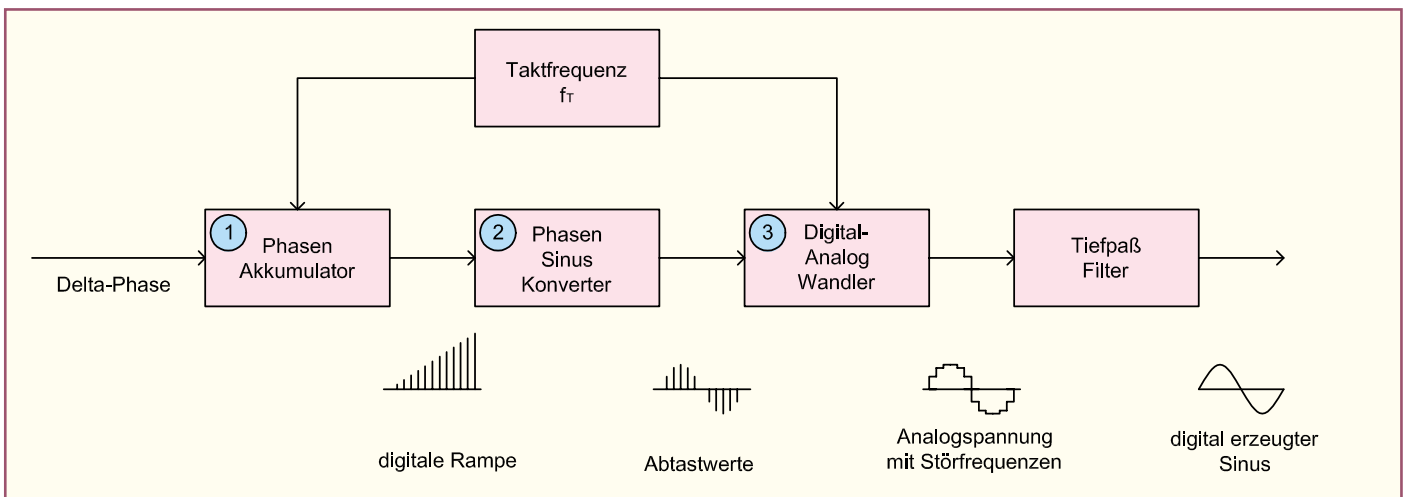


Bild 2: Das Blockschaltbild des AD9835

Innenschaltung des Phasen-Akkumulators und die digitale Rampe. Gemäß Abbildung 3 berechnet sich die Frequenz f_a des Sinussignals wie folgt:

$$f_a = 1/T_a, \text{ mit: } T_a = \text{Anzahl der Phasensprünge pro Ausgangssignalperiode} \cdot T_i \text{ und } T_i = 1/f_i, \text{ } f_i = \text{Taktfrequenz des Systems}$$

signals nach folgender Formel berechnet werden:

$$f_a = 1/T_a = \text{„Delta Phase“} / (2^{32} \cdot f_i)$$

Somit besitzt der Synthesizer zwei digitale, frequenzbestimmende Eingänge, nämlich die Taktfrequenz und den Phasensprung „Delta-Phase“. Damit bestimmen

werden periodisch die Abtastwerte einer Sinusschwingung erzeugt.

Abbildung 4 zeigt das Funktionsprinzip dieses Schaltungsteils. Entweder sind die Abtastwerte fest gespeichert (ROM) oder zuvor mit Hilfe eines Algorithmus berechnet und in den Speicher (RAM) geschrieben worden. Letzteres Verfahren bietet die Möglichkeit der Erzeugung vielfältiger

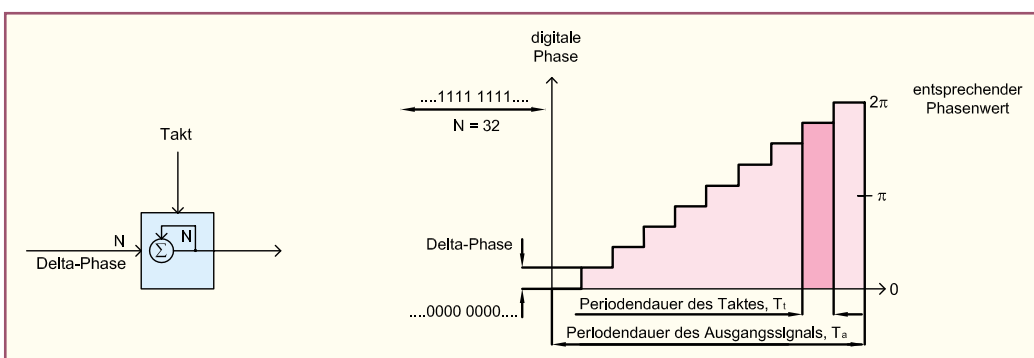


Bild 3: Vereinfachter Phasen-Akkumulator und digitale Phase

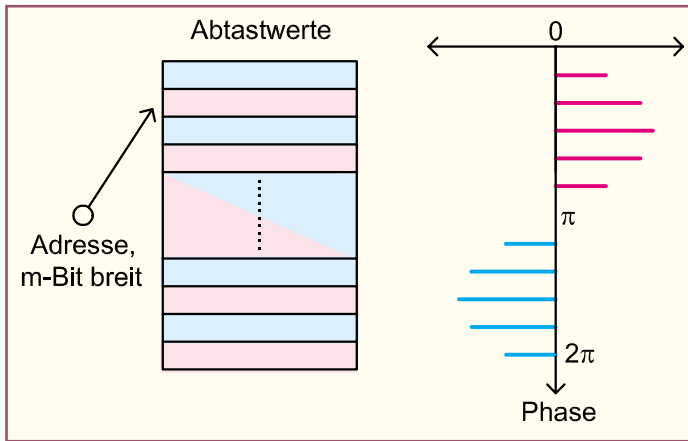


Bild 4: Das Funktionsprinzip des Phasen-Sinus-Konverters

Kurvenformen. Die so erzeugten Abtastwerte werden einem schnellen Digital/Analog-Wandler (3) zugeführt, der dann die analoge Ausgangsspannung erzeugt. Im Idealfall würde im Ausgangssignal ausschließlich die Nutzfrequenz f_a enthalten sein. Die Ausgangsspannung ist jedoch mit einigen durch die digitale Erzeugung bedingten Störsignalen behaftet, die sich durch das Nachschalten eines Tiefpassfilters fast vollständig eliminieren lassen. Die Störsignale entstehen aus folgenden Gründen:

- Die aus dem Speicher ausgelesenen Abtastwerte des Sinussignals werden mit der Taktfrequenz f_t vom DA-Wandler in die analoge Spannung umgesetzt. Dadurch wiederholt sich laut Fourier-Transformation das ideale Ausgangsspektrum bei den ganzzahligen Vielfachen der Taktfrequenz.
- Eine weitere Verunreinigung des Ausgangsspektrums entsteht durch die Quantisierung des Signals. Der Aussteuerbereich der Ausgangsspannung ist durch die DA-Wandler-Auflösung von 10 Bit in 1024 Stufen aufgeteilt. Dieser Effekt drückt sich im Hinblick auf die Signalqualität als Quantisierungsrauschen aus, das sich zum Spektrum gleichverteilt addiert.

- Des Weiteren erzeugen die Nichtlinearitäten in der Übertragungsfunktion des DA-Wandlers ein Störspektrum, das vorher kaum zu berechnen ist und vom jeweiligen DA-Wandler abhängt. Diese Nichtlinearitäten erzeugen im Ausgangsspektrum die Harmonischen der Grundfrequenz.

Bezieht man all diese Überlegungen auf das Ausgangsspektrum, so ergibt sich in etwa der in Abbildung 5 dargestellte Verlauf. Ein Großteil der zuvor erläuterten Störfrequenzen kann mit Hilfe eines nachgeschalteten, steilflankigen Tiefpassfilters entfernt werden, dessen Grenzfrequenz geringfügig höher als die höchste Nutzfrequenz zu wählen ist.

Das DDS-Board DDS-20

Durch Einsatz des hochintegrierten DDS-Bausteins AD9835 konnte mit relativ wenigen Bauelementen ein hochwertiger DDS-Generator zur Erzeugung von Sinus- und Rechtecksignalen realisiert werden. Das DDS-Board zeichnet sich durch die in den technischen Daten erwähnten Eigenschaften aus.

Die maximale Ausgangsfrequenz wäre aufgrund des Nyquisttheorems auf die halbe Taktfrequenz, d. h. 25 MHz beschränkt.

In der Praxis nutzt man jedoch lediglich 40% der Taktfrequenz (20 MHz). Soll das DDS-Board nur als Zeitbasis verwendet werden, d.h. es wird nur das Rechtecksignal und kein Sinussignal benötigt, kann auf die Bestückung der Sinus-Endstufe AD811, des Amplituden-Einstellpotis sowie die negative Versorgungsspannung verzichtet werden. Im nachfolgenden wird die Bedienung beschrieben.

Bedienung

Die Bedienung des DDS 20 ist einfach gehalten und erfolgt über 3 Tipptasten, einen Inkrementalgeber sowie ein Poti. Als Defaultwerte sind folgende Einstellungen programmiert, die nach dem ersten Einschalten aktiv sind:

- Frequenz: 1 kHz
- Wobelfunktion: aus
- Minimale Frequenz: 0,1 Hz
- Maximale Frequenz: 20 MHz
- System-Taktfrequenz: 50,000000 MHz

Frequenzeinstellung

Die Frequenzeinstellung erfolgt über den Inkrementalgeber und die beiden unter dem Display befindlichen Tipptasten „<“ und „>“. Die Stelle, die mit dem Inkrementalgeber veränderbar ist, blinkt und kann durch eine der Tasten „<“ oder „>“ angefahren werden. Durch Drehen des Inkrementalgebers vergrößert oder verkleinert man die Stelle, je nach Drehsinn. Beim Überlauf erfolgt ein Übertrag auf die nächsthöhere bzw. -kleinere Stelle.

Amplitudeneinstellung

Die Amplitude des Sinussignals ist über das Potentiometer R 6 im Bereich von 0 V bis max. 2,5 V_{SS} einstellbar.

Wobbelgenerator

Der integrierte Wobbelgenerator ermöglicht es, den gesamten Frequenzbereich von 0,1 Hz bis 20 MHz ohne Umschalten

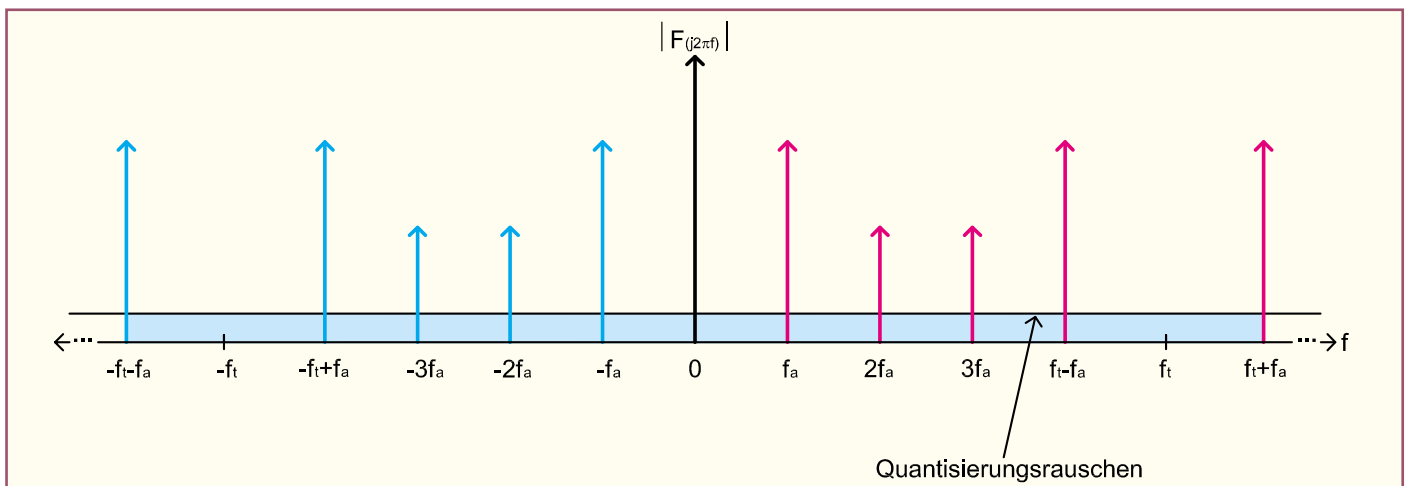


Bild 5: Spektrum des Ausgangssignals

zu durchfahren. Dabei sind die Parameter Startfrequenz, Stoppfrequenz und Wobbelfrequenz einstellbar. Um die Wobbelfunktion zu aktivieren, geht man wie folgt vor:

- kurzes Betätigen der Taste „Prog.“. Das Display zeigt „F1“ an. Dies ist die Startfrequenz, die, wie unter „Frequenzeinstellung“ beschrieben, einzustellen ist.
- Betätigen der Taste „Prog.“ ein weiteres Mal, das Display zeigt „F2“. Jetzt ist die Stoppfrequenz zu eingeben.
- Beim nächsten Betätigen der Taste „Prog.“ erscheint „SP“, woraufhin die Wobbelfrequenz einzustellen ist.
- Eine weitere Betätigung der Taste „Prog.“ startet den Wobbelvorgang, das Display zeigt „run“ und die aktuelle Frequenz.
- Um die Wobbelfunktion zu verlassen, ist die Taste „Prog.“ ein weiteres Mal zu betätigen. Das DDS-Board befindet sich jetzt wieder im normalen Modus.

Frequenzen speichern und abrufen

Das DDS-Board verfügt über 10 nichtflüchtige Speicher zum Abspeichern von Frequenzen. Beim Einsatz als Zeitbasis für Empfänger lassen sich so komfortabel Stationstasten realisieren.

Frequenz speichern

- Abzuspeichernde Frequenz einstellen
- Taste „<“ länger als 2 Sekunden betätigen, das Display zeigt „S 1“
- Mit dem Inkrementalgeber die Speicherstelle (S 1 bis S 10) auswählen
- Durch Betätigen der Taste „Prog.“ wird die eingestellte Frequenz unter der gewählten Speicherstelle abgespeichert.

Frequenz abrufen

- Taste „>“ länger als 2 Sekunden betätigen, Das Display zeigt „S 1“
- Mit dem Inkrementalgeber die Speicherstelle (S 1 bis S 10) auswählen
- Durch Betätigen der Taste „Prog.“ wird die eingestellte Frequenz unter der gewählten Speicherstelle abgespeichert.

Weiterführende Funktionen

Wie bereits erwähnt, kann das DDS-Board ebenfalls als Zeitbasis für PLL-Systeme oder Empfänger dienen, gerade in Verbindung mit Selbstbauprojekten. Dies sei an einem Beispiel erläutert:

Ein Doppel-Superhet-Kurzwellenempfänger soll im Frequenzbereich von 0 bis 30 MHz empfangen, die Zwischenfrequenzen betragen 45 MHz und 455 kHz (gängige Werte). Um den genannten Empfangsbereich zu gewährleisten, muss der erste Lokaloszillator (VCO = voltage controlled oscillator) einen Frequenzbereich von 45 MHz bis 75 MHz überstreichen (45 MHz - 45 MHz = 0 MHz, 75 MHz - 45 MHz = 30 MHz). Das Teilverhältnis des Teilers für das VCO-Signal betrage 8,

womit die Zeitbasis (DDS-Board) im Frequenzbereich von 5,625 MHz bis 9,375 MHz arbeiten muss. Somit ergibt sich für einen derartigen Empfänger als kleinster Frequenz-Einstellschritt 0,8 Hz ($0,1 \text{ Hz} \cdot 8, \text{ DDS-Board-Auflösung} \cdot \text{PLL-Faktor}$). Damit auf dem Display des DDS-Boardes die Empfangsfrequenz angezeigt wird, sind folgende Parameter zu programmieren:

- Minimale Frequenz: 5,625 MHz
- Maximale Frequenz: 9,375 MHz
- PLL-Faktor: 8
- ZF-Offset: - 45 MHz

Weiterhin kann man die Frequenzgenauigkeit des ausgegebenen Signals heraufsetzen, indem ein Software-Frequenzabgleich durchgeführt wird. Beim DDS-Verfahren entspricht die Genauigkeit des ausgegebenen Signals der Genauigkeit des integrierten Quarzoszillators. Durch Vorgabe dieses Wertes per Software kann ein Feinabgleich erfolgen. Der 50-MHz-Quarzoszillator des DDS-Boards ist mit 50 ppm spezifiziert. Das bedeutet bei einer Ausgangsfrequenz von 10 MHz eine maximale Abweichung von 500 Hz. Um die Genauigkeit der Signalfrequenz zu erhöhen, geht man wie folgt vor:

- Einstellen einer Frequenz $f_{\text{ Soll}}$, z. B. 10 MHz
- Messen der Ausgangsfrequenz $f_{\text{ Ist}}$ mit einem geeigneten Frequenzzähler, z. B. 9,999950 MHz.
- Berechnen des Abweichungsfaktors $a = f_{\text{ Ist}} / f_{\text{ Soll}} = 0,999995$
- Multiplizieren der Taktfrequenz f_c mit a : $50 \text{ MHz} \cdot 0,999995 = 49,99975 \text{ MHz}$
- Das Ergebnis (49,99975 MHz) ist als Taktfrequenz zu programmieren.

Programmierung der weiterführenden Funktionen

Zur Programmierung der zuvor beschriebenen Parameter geht man wie folgt vor:

- Betätigen der Taste „Prog.“ länger als 2 Sekunden. Das Display zeigt „OSC“ und „50.000000 MHz“ an. Die berechnete Taktfrequenz ist einzustellen (Beispiel: 49,99975 MHz).
- Betätigen Sie die Taste „Prog.“ ein weiteres Mal, das Display zeigt „Fu“ an. Jetzt ist die minimale Ausgabefrequenz einzugeben (Beispiel: 5,625 MHz).
- Beim nächsten Betätigen der Taste „Prog.“ erscheint „Fo“, woraufhin die maximale Ausgabefrequenz einzustellen ist (Beispiel: 9,375 MHz).
- Eine weitere Betätigung der Taste „Prog.“ führt zur Anzeige „FAC“, woraufhin der PLL-Faktor einzustellen ist (Beispiel: 8).
- Nach einem weiteren Betätigen der Taste „Prog.“ zeigt das Display „OFF“ an, woraufhin der ZF-Offset einzustellen ist (Beispiel: -45 MHz).
- Die nächste Betätigung der Taste „Prog.“ schließt den Eingabevorgang ab.

Schaltung

Abbildung 6 zeigt das Schaltbild des übersichtlichen Schaltbildes, gemessen an den Features. Der Prozessor IC 3 (KS57C2308) steuert alle Ein- und Ausgabefunktionen des DDS-Boards. Der zur Frequenzeinstellung dienende Inkrementalgeber DR 1 ist mit externen Pull-Up-Widerständen versehen und an die Portpins 25 und 32 angeschlossen. Je nach Drehrichtung der Achse wird einer der Portpins eher auf Massepotential gezogen als der andere. Die 3 Taster TA 1 bis TA 3 sind direkt an die Portpins 48 bis 50 angeschlossen und legen bei Betätigung die Portpins auf Massepotential. Alle Systemdaten (Taktfrequenz, Frequenzspeicher, etc.) sind im EEPROM IC 4 (24C04) abgelegt. Der Prozessor steuert weiterhin direkt das Display LCD 1 an und beschreibt über die Datenleitungen „SCLK“, „SDATA“ und „FSYNC“ (Pin 36 bis 38) den DDS-Chip AD9835. Der mit dem Quarz Q 1 und den Kapazitäten C 20 und C 21 realisierte Oszillator gibt den Prozessortakt vor.

Der DDS-Chip IC 5 vom Typ AD9835 beinhaltet das komplette DDS-System, die Programmierung des 32-Bit-breiten Frequenzwortes „Delta-Phase“ erfolgt, wie bereits erwähnt, über die 3 Datenleitungen „SCLK“, „SDATA“ und „FSYNC“ vom Prozessor aus. Den Systemtakt gibt der Quarzoszillator Q 2 mit 50 MHz vor.

Der DDS-Chip treibt am Ausgang (Pin 14, IOUT) einen Strom durch den Widerstand R 4, wodurch die Ausgangsspannung erzeugt wird. Laut Datenblatt ist R 4 so zu dimensionieren, dass bei einem Strom in der Größenordnung von ca. 4 mA die Spannung an R 4 nicht größer als 1,35 V ist, da ansonsten Verzerrungen auftreten. Der Strom selbst kann durch die Größe des Widerstandes R 3 vorgegeben werden. Da der DDS-Chip lediglich mit positiver Versorgungsspannung betrieben wird, ist die Ausgangsspannung an R 4 nicht symmetrisch zur Nulllinie, sondern positiv (Aussteuerbereich 0 V bis max. 1,35 V).

Das bereits erwähnte Tiefpassfilter 7ter Ordnung zur Eliminierung nicht gewollter Frequenzanteile aus dem Ausgangssignal bilden die Komponenten C8, L 4, C 9, L 3, C 10, L 2, C 11 sowie die Eingangskapazität der FET-Stufe T 1, die mit ca. 10 pF anzusetzen ist. Die Grenzfrequenz liegt bei ca. 22 MHz, Abbildung 7 zeigt das Ergebnis einer Frequenzgang-Simulation. Das Filter wird durch das Potentiometer zur Amplitudeneinstellung R 6 abgeschlossen.

Über den Koppelkondensator C 36 gelangt das Sinussignal vom Poti-Abgriff auf die Sinus-Endstufe IC 7 (AD 811), die zum einen eine Verstärkung um den Faktor 3,6 bewirkt und zum anderen in Verbindung

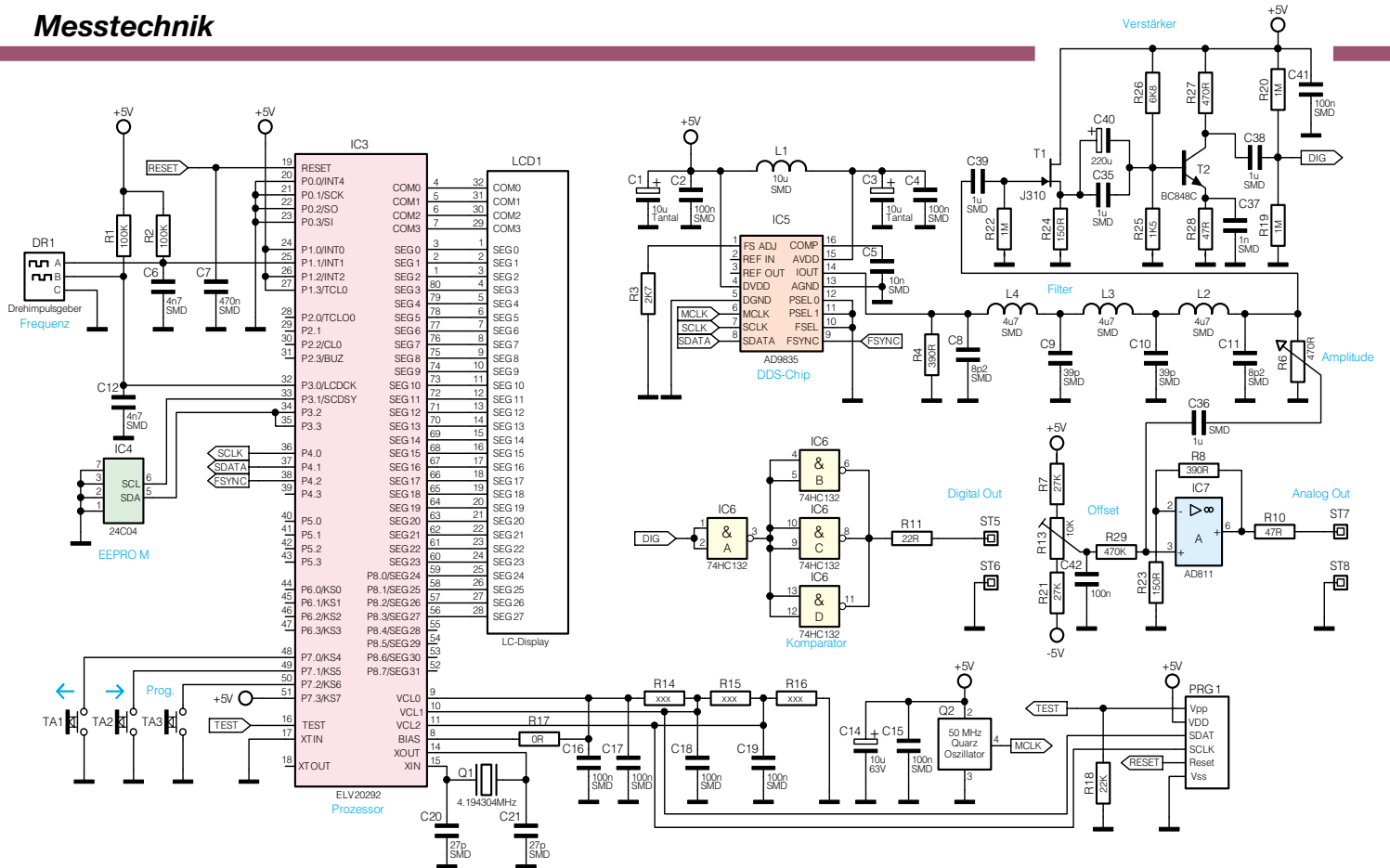


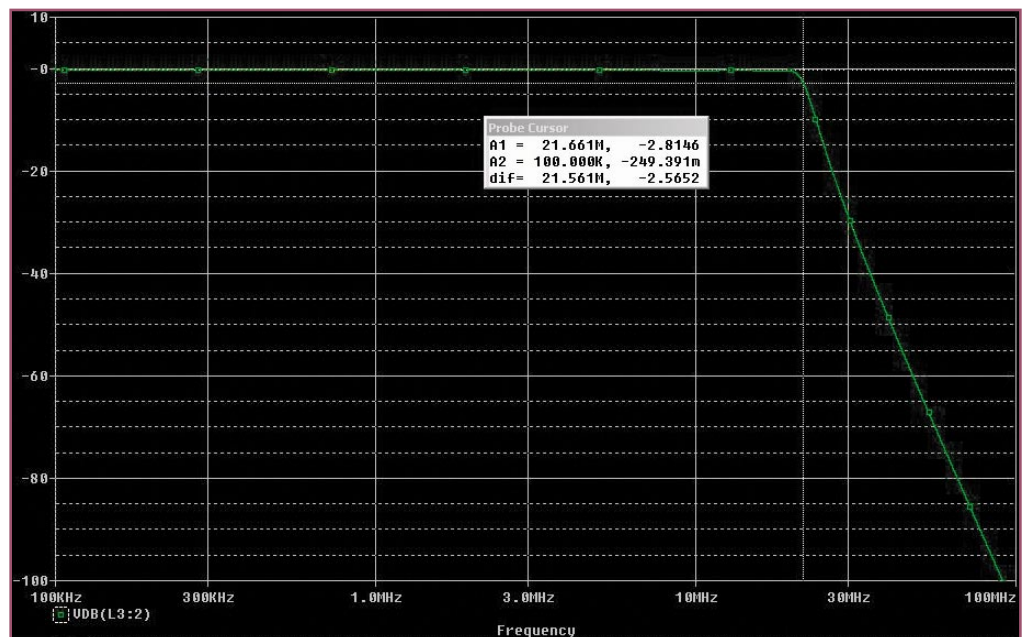
Bild 6: Schaltbild des DDS-Boards

mit R 10 einen Ausgangswiderstand von 50 Ω gewährleistet. Die AC-Kopplung ist notwendig, da sich das DDS-Ausgangssignal, wie bereits erläutert, nicht symmetrisch zur Nulllinie befindet. Die untere Grenzfrequenz der Endstufe liegt aufgrund von C 36 und R 29 bei 0,34 Hz, die obere Grenzfrequenz beträgt ca. 20 MHz. Da das Sinussignal ACgekoppelt auf die Endstufe übertragen wird, ist es notwendig, den DC-Arbeitspunkt der Endstufe vorgeben. Um weiterhin Offsetspannungen und Eingangsströme zu kompensieren, wird mit Hilfe des Spannungsteilers R 7, R 13, R 21 eine DC-Spannung vorgegeben, die dann über R 29 auf die Endstufe geführt wird. Somit lässt sich der DC-Arbeitspunkt der Endstufe exakt auf 0 V einstellen.

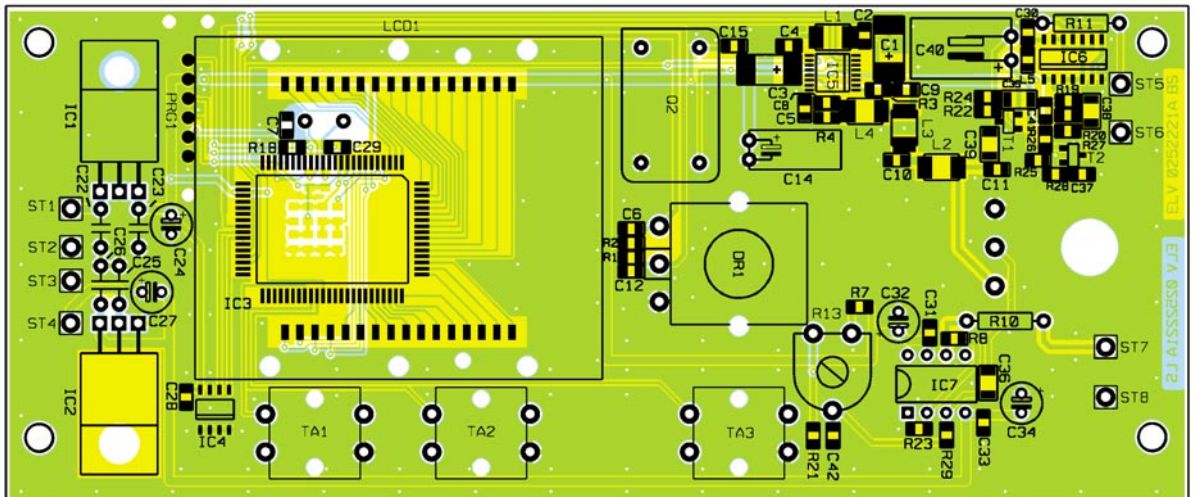
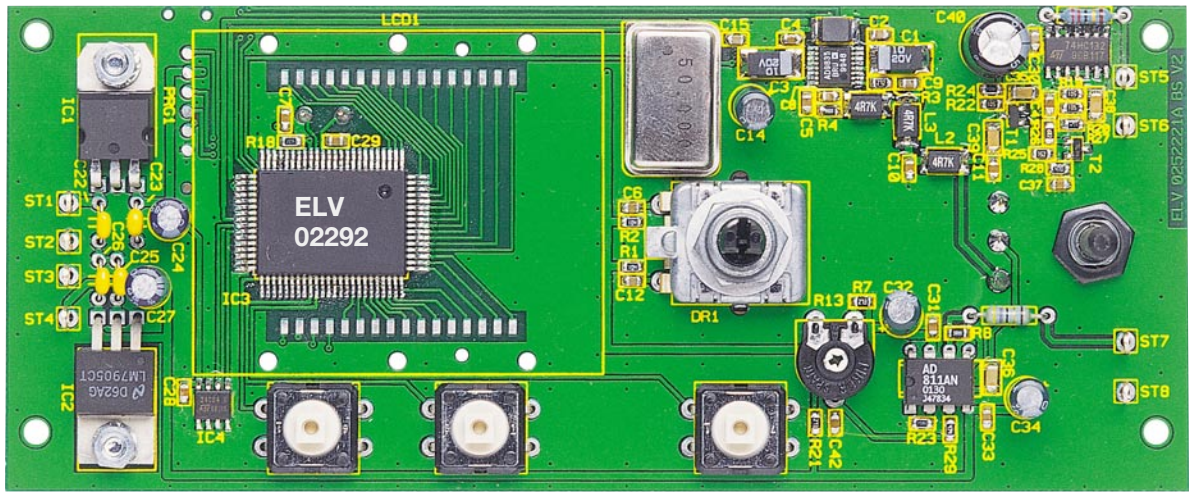
Zur Signalaufbereitung für den Digitalausgang (TTL-kompatibel) wird das Sinussignal zunächst hinter dem Tiefpassfilter hochohmig und kapazitätsarm über einen Fet-Stufe gepuffert. Diese ist mit T 1 (J 310) und Peripherie aufgebaut. Das am Source-Anschluss anstehende Signal gelangt über

die beiden Koppelkondensatoren C 35 und C 40 auf die Verstärkerstufe T 2 (BC 848C), die in Emitterschaltung arbeitet. Am Kollektor steht das verstärkte Signal zur Verfügung, das über C 38 auf den Eingang des Schmitt-Trigger-Gatters IC 6 A (74 HC 132) gelangt. Die nachfolgenden Gatter

Bild 7: Frequenzgang des Tiefpassfilters 7ter Ordnung



Ansicht der fertig bestückten Platine des DDS-Bords mit zugehörigem Bestückungsplan von der Bestückungsseite



IC 6 B, C und D sind parallel geschaltet und gewährleisten zusammen mit R 11 einen Ausgangswiderstand von 50 Ω .

Die Schaltung erfordert eine Versorgungsspannung von + 5 V und - 5 V (je 100 mA), die über die beiden Festspannungsregler IC 1 (7805) und IC 2 (7905) stabilisiert wird. Soll lediglich das Rechtecksignal genutzt werden, benötigt die Schaltung nur die positive Versorgungsspannung von +5 V.

Nachbau

Die Platine ist hauptsächlich mit SMD-Komponenten und mit einigen bedrahteten Bauelementen zu bestücken. Der Aufbau der Schaltung sollte aufgrund der verwendeten miniaturisierten Bauelemente mit hoher Sorgfalt von geübten Elektronikern durchgeführt werden. Gerade bei der Montage der SMD-Komponenten empfiehlt sich die Verwendung eines LötKolbens mit bleistiftspitzer Spitze, auf sauberes Löten ist unbedingt zu achten.

SMD-Bestückung

Die 154 x 64 mm messende doppelseitige Platine wird unter Zuhilfenahme von Bestückungsplan, Platinenfoto und Stückliste zunächst mit den SMD-Bauelementen bestückt. Vor der Bestückung eines Bauteils ist das entsprechende Pad leicht zu verzinnen. Anschließend wird das Bau-

teil mit einer Pinzette vorsichtig platziert und festgehalten. Dann erfolgt das Verlöten von zunächst nur einem Anschlusspin. Ist die Position korrekt, sind die restlichen Anschlüsse zu verlöten.

Bitte gehen Sie unter Einhaltung folgender Reihenfolge vor:

1. SMD-Widerstände ohne R 14 - R 16
2. SMD-Kondensatoren ohne C 1 und C 3
3. SMD-Transistoren
4. IC 6 und IC 4, bitte Polung beachten (die Punktmarkierung am IC kennzeichnet Pin 1)
5. IC 5 und IC 3, bitte Polung beachten
6. L 1 bis L 4
7. C 1 und C 3, bitte Polung beachten (die mit einem Querstrich gekennzeichnete Seite ist der Pluspol)

Einbau der restlichen Bauelemente

Nach Komplettierung der SMD-Bestückung sind folgende weitere Bauteile unter Einhaltung der genannten Reihenfolge zu montieren:

1. C 22, C 23, C 25, C 26
2. R 10, R 11, Q 1 (von der Unterseite), Q 2
3. IC 1 und IC 2 (jeweils mit M3-Schraube, Zahnscheibe und Mutter vor dem Verlöten befestigen).
4. Alle Elkos, bitte Polung beachten
5. TA 1 bis TA 3 und DR 1

Damit ist die Bestückung so weit fertig-

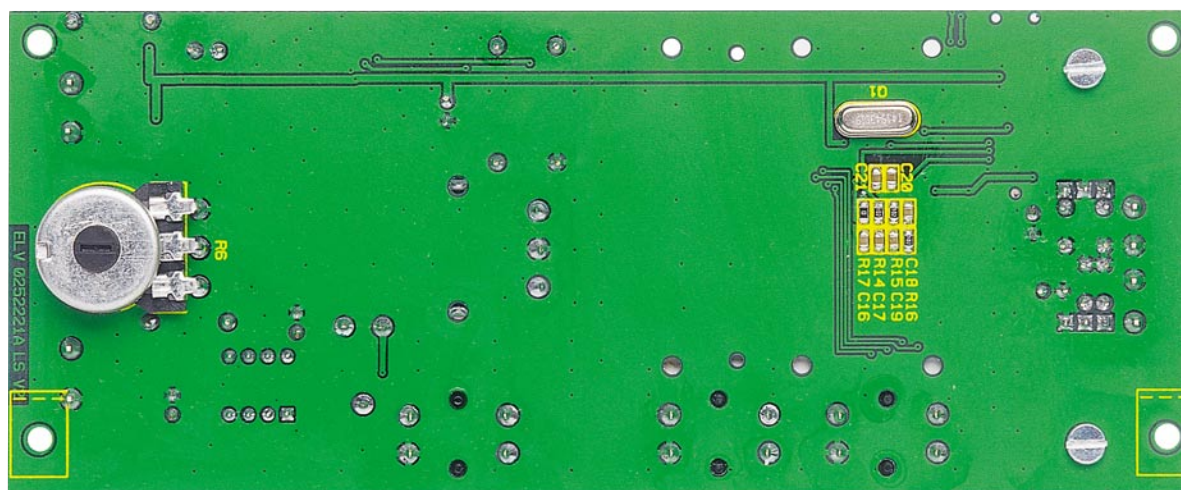
gestellt, es folgt der Einbau des Displays. Von diesem ist zunächst die Schutzfolie vorsichtig zu entfernen. Man legt das Display in die Displayscheibe ein, der Anguss des Displays (Verdickung an einer Seite) muss sich dabei in der entsprechenden Aussparung der Displayscheibe befinden. Die Displayscheibe mit eingelegtem Display ist mit der dem Anguss gegenüberliegenden Seite voran seitlich in die Seite des Displayrahmens zu schieben, an der sich keine Rastnase befindet.

Nach dem vollständigen Einschleiben rastet die Displayscheibe im Displayrahmen ein. Jetzt sind die beiden Leitgummis in die entsprechenden Aussparungen des Displayrahmens zu legen. Der so vormontierte Rahmen wird, mit dem Anguss des Displays nach links weisend, auf der Platine platziert und mit 6 Kunststoffschrauben 2,2 x 5 mm fixiert.

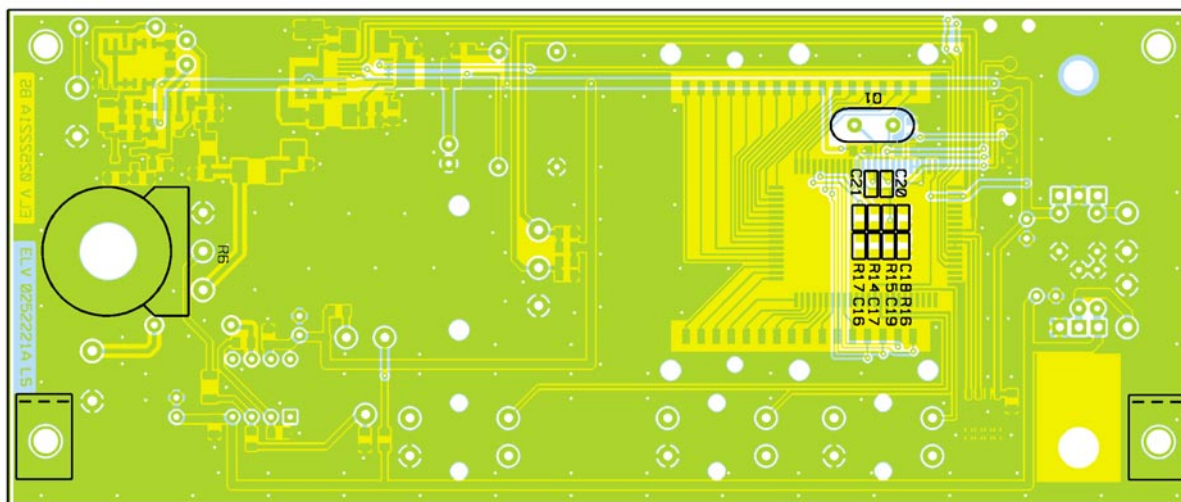
Damit ist die Platine für die Ausgabe von Rechtecksignalen fertiggestellt. Sollen ebenfalls Sinussignale generiert werden, sind noch die Sinussignal-Endstufe AD 811 und das Poti zur Amplitudeneinstellung zu montieren.

IC 7 ist unter Beachtung der Einbaulage (Pin 1 des ICs ist mit einer Punktmarkierung versehen) einzusetzen und zu verlöten.

Die Anschlussbeine des Potis werden zunächst in Richtung der Poti-Achse um 90° abgewinkelt. Dann folgt der Einbau,



Ansicht der fertig bestückten Platine des DDS-Boards mit zugehörigem Bestückungsplan von der Lötseite



Stückliste: 20-MHz-DDS-Board DDS 20

Widerstände:

0Ω/SMD	R17
22Ω	R11
47Ω	R10
47Ω/SMD	R28
150Ω/SMD	R23, R24
390Ω/SMD	R4, R8
470Ω/SMD	R27
1,5kΩ/SMD	R25
2,7kΩ/SMD	R3
6,8kΩ/SMD	R26
22kΩ/SMD	R18
27kΩ/SMD	R7, R21
100kΩ/SMD	R1, R2
470kΩ/SMD	R29
1MΩ/SMD	R19, R20, R22
PT10, liegend, 10kΩ	R13

Kondensatoren:

8,2pF/SMD	C8, C11
27pF/SMD	C20, C21

39pF/SMD	C9, C10
1nF/SMD	C37
4,7nF/SMD	C6, C12
10nF/SMD	C5
100nF/ker	C22, C23, C25, C26
100nF/SMD	C2, C4, C15-C19, C28-C31, C33, C41, C42
470nF/SMD	C7
1µF/SMD	C35, C36, C38, C39
10µF/16 V/tantal/SMD	C1, C3
10µF/63V	C14, C32, C34
100µF/16V	C24, C27
220µF/25V	C40

Halbleiter:

7805	IC1
7905	IC2
ELV20292/SMD	IC3
24C04/ SMD	IC4
AD9835BRU/SMD	IC5
74HC132/SMD	IC6

J310/SMD	T1
BC848C	T2
LC-Display	LCD1

Sonstiges:

Quarz, 4,194304MHz, HC49 U70/U4	Q1
Quarzoszillator, 50MHz	Q2
SMD-Induktivität, 10µH	L1
SMD-Induktivität, 4,7µH	L2-L4
Mini-Drucktaster, B3F-4050, 1 x ein	TA1-TA3
Inkrementalgeber	DR1
Lötstifte mit Lötöse	ST1-ST8
2 Zylinderkopfschrauben, M3 x 8 mm	
6 Kunststoffschrauben, 2,2 x 5 mm	
2 Muttern, M3	
2 Fächerscheiben, M3	
1 Display-Scheibe	
1 Displayrahmen	
2 Leitgummis	

indem die Poti-Achse von der Lötseite durch das Loch in der Platine geschoben wird. Das Poti ist mit der Mutter von der Platinenoberseite zu sichern, bevor die Anschlussbeine in den entsprechenden Bohrungen verlötet werden.

Das DDS-Board benötigt eine Versor-

gungsspannung im Bereich von ± 7 V bis 12 V (je 100 mA). Vor dem Anschließen der Versorgungsspannung ist die korrekte Bestückung zu überprüfen, eventuell vorhandene Lötbrücken sind zu entfernen. Nach dem Anlegen der Versorgungsspannung führt der Prozessor zunächst einen

Segmenttest durch, d. h. alle Segmente sind für 3 Sekunden aktiv. Dann folgt der normale Anzeigemodus. Ist die Bestückung korrekt ausgeführt, stehen jetzt sowohl das Sinus- als auch das Rechtecksignal zur Verfügung. Mit R 13 ist der DC-Offset des Sinussignals auf 0 V einzustellen. **ELV**