

# **DIGILAB 10K10 Handbuch**

---

Programmierbare Logik Prototyp- und  
Demo-System



**Digilab 10K10 – Was und Wo**

Zu Ihrem Digilab 10K10 gehören die folgenden Teile:

- Digilab Leiterplatte
- Netzteil
- Druckerschnittstellen Kabel  
wird benutzt um die Druckerschnittstelle Ihres PCs mit der Digilab Leiterplatte zu verbinden und die Konfiguration in den Altera FLEX Baustein zu laden, das optionale serielle FLASH EPROM EPC2 zu programmieren oder die Digilab Leiterplatte als Byteblaster zu verwenden.
- Altera Literatur CD, die unter anderem folgendes enthält:
  - Altera MAX+plus II BASELINE Entwicklungssystem für programmierbare Logik
  - Aktuelle Altera Datenblätter und Applikationsschriften
  - Acrobat Reader zum Betrachten und Drucken dieser und anderer Dokumente
- Dokumentations-Diskette mit folgendem Inhalt :
  - Liesmich-Datei zur Installation des Acrobat Readers und betrachten dieser Dokumentation
  - Dieses Digilab 10K10 Handbuch
  - Ein Schaltungsbeispiel zum Digilab 10K10, das in dieser Dokumentation beschrieben wird.

Wir weisen darauf hin, daß die in diesem Handbuch genannten Soft- und Hardwarebezeichnungen sowie Markennamen der jeweiligen Firmen im allgemeinen warenzeichen-, marken- oder patentrechtlichem Schutz unterliegen. Insbesondere sind dies: Altera, MAX+plus II, FLEX, FLEX 10K, ByteBlaster

Wir behalten uns vor, ohne vorherige Bekanntgabe, Änderungen an den in diesem Handbuch beschriebenen Produkten oder Spezifikationen vorzunehmen.

Copyright © 1999, El Camino GmbH, D-84048 Mainburg

**Warnung:**

Dies ist eine Einrichtung der Klasse A. Diese Einrichtung kann im Wohnbereich Funkstörungen verursachen; in diesem Fall kann vom Betreiber verlangt werden, angemessene Maßnahmen durchzuführen und dafür aufzukommen.



## Declaration of Conformity

This Declaration is valid for following product:

**EQUIPMENT:** Prototyping Board

**TYPE:** DIGILAB 10k

**Serial Number:** 700 and 701

is herewith confirmed to comply with the requirements set out in the Council Directive on the Approximation of the Laws of the Member States relating to Electromagnetic Compatibility (89/336/EEC) and the amendments in the Council Directive 91/263/EEC, 92/31/EEC, 93/68/EEC.

For the evaluation of above mentioned Directives,  
the following standards were applied:

EN 55 022: 1994 +Corrigendum: 1997 / A1:1995 +A2:1997 class A

EN 50 082-2: 1995  
(EN 61000-4-2: 1995 +A1: 1998, EN 61000-4-3: 1996 +A1: 1998,  
ENV 50204: 1995, EN 61000-4-4: 1995, EN 61000-4-6: 1996)

The following manufacturer is responsible for this declaration:

Ing. Büro Lindmeier  
Hofmarkstrasse 11  
94377 Steinach

Germany

March 31, 1999 / Steinach  
Date / Place

Signature of responsible Person



## MAX+plus II BASELINE Installation

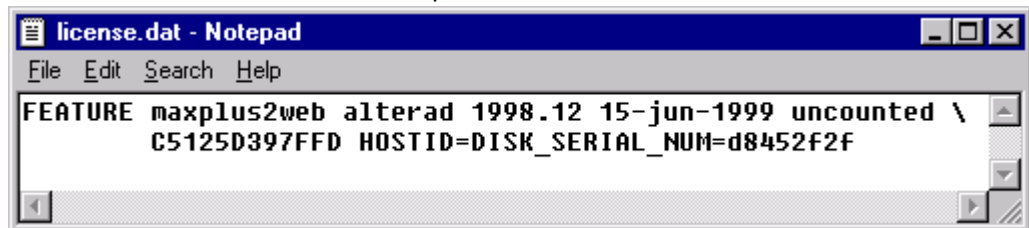
### System Voraussetzungen

- Pentium PC oder höher (empfohlen) oder 486-basierender PC
- Microsoft Windows NT Version 3.51 oder 4.0, Microsoft Windows 95 oder 98
- Microsoft Windows kompatible Graphikkarte und Monitor
- CD-ROM Laufwerk
- Microsoft Windows kompatible 2- oder 3-Tasten Maus
- Parallele Schnittstelle
- 100 MByte freier Festplattenspeicher
- 16 MByte RAM

### MAX+plus II BASELINE Installation

Zur Installation der MAX+plus II BASELINE Software gehen Sie wie folgt vor:

- 1) Erstellen Sie ein Verzeichnis auf Ihrer Festplatte, in dem Sie MAX+plus II BASELINE installieren und Ihre Lizenz Datei ablegen möchten. Erzeugen Sie z.B. folgendes Verzeichnis c:\baseline
- 2) Erzeugen Sie eine „license.dat“ Datei, wie in Ihrem MAX+plus II BASELINE Lizenz E-mail angegeben und speichern Sie es in Ihrem gerade erzeugtem Installationsverzeichnis. Eine Beispiel Lizenz Datei sehen Sie unten:



**Wichtig:** Falls Sie Notepad oder ein ähnliches Programm verwenden stellen Sie sicher, daß die Datei als "license.dat" und nicht als "license.dat.txt" gespeichert wurde. Registrierte Dateitypen werden unter Umständen nicht angezeigt. Verwenden Sie im Zweifelsfall den DIR Befehl in einem DOS Fenster um sicherzustellen, daß der Name korrekt ist.

- 3) Beginnen Sie die Installation, indem Sie das Programm **baseline.exe** vom Verzeichnis **baseline** der Altera Literatur CD starten.
- 4) Der MAX+plus II Installations-Wizard wird gestartet. Auf der Begrüßungsseite Klicken Sie **Next**
- 5) Klicken Sie **YES**, nachdem Sie die Lizenzvereinbarung gelesen haben. Sie müssen bis zum Ende der Lizenzvereinbarung blättern bevor Sie YES klicken können
- 6) Klicken Sie **OK** in der nun angezeigten Warnung.

- 7) Geben Sie Ihren Namen und eventuell Firmennamen ein und klicken Sie **Next**.
- 8) Wählen Sie **Full Installation** auf der „Setup Type“ Seite und klicken Sie **Next**.
- 9) Geben Sie ein Zielverzeichnis für die MAX+plus II BASELINE Installation an (z.B., **c:\baseline**). Diese Verzeichnis sollte dasselbe sein, daß Sie in Schritt 1 erzeugt haben und es sollte die „license.dat“ Datei enthalten.
- 10) Geben Sie ein Zielverzeichnis für das Arbeitsverzeichnis an (z.B., **c:\baseline\max2work**). Klicken Sie **Next**.
- 11) Wählen Sie eine Gruppe, in der das Installationsprogramm Symbole zum Starten der Software anlegt. Klicken Sie **Next**.
- 12) Ihre Auswahl wird nochmals angezeigt. Verifizieren Sie, daß alle Angaben korrekt sind und klicken Sie **Next** um die Installation zu starten.
- 13) Falls Sie auf einem PC mit Windows NT Betriebssystem installieren erhalten Sie die Meldung, daß der Sentinel Treiber erfolgreich installiert wurde. Dieser Treiber ist für einen externen Kopierschutz, der auf die parallele Schnittstelle gesteckt wird und als Teil von MAX+plus II Systemen geliefert wird, die über die Funktionalität der BASELINE Installation hinausgehen. Auf Windows NT Systemen wird die Installation dieses Treibers nur funktionieren falls Sie mit Administrator-Rechten angemeldet sind. Klicken Sie **OK** (Ein Fehlschlagen der Sentinel Treiber Installation kann ignoriert werden).
- 14) Klicken Sie **YES** um die readme-Datei zu lesen.

## Installation des Byteblaster Treibers für Windows NT

Auf einem PC mit Windows NT ist es nötig, einen Treiber für den Altera Byteblaster, der auch Teil des Digilab 10K10 ist, zu installieren. Der Byteblaster wird benutzt um die Konfigurationsdaten über die parallele Schnittstelle Ihres PCs an die JTAG Schnittstelle des FLEX Bausteines zu senden. Diese Installation ist nicht nötig für PCs mit Windows 95 or 98.

- 1) Gehen Sie zu **Start/Einstellungen/Systemsteuerung** und klicken Sie doppelt auf **Multimedia**.
- 2) Klicken Sie auf das Register **Geräte** und wählen Sie **Hinzufügen**
- 3) Wählen Sie **Nichtaufgeführter oder aktualisierter Treiber** in der Liste der Treiber und klicken Sie **OK**. Die Dialog Box zur Treiber Installation öffnet sich.
- 4) Geben Sie **\<MAX+plus II system directory>\drivers** in der Text Box ein oder wählen Sie dieses Verzeichnis und klicken Sie **OK**. Die Box zum Hinzufügen neuer Treiber öffnet sich.
- 5) Wählen Sie **Altera ByteBlaster** von der Liste und klicken Sie **OK**.
- 6) Um den Treiber für die angezeigte Adresse zu installieren, klicken Sie **OK**.
- 7) Wählen Sie **Neu Starten** um Ihren Rechner neu zu booten.

## **MAX+plus II BASELINE Lizenz Einstellen**

- 1) Starten Sie die Software, durch einen Doppel-Click auf das MAX+plus II V9.1 Symbol.
- 2) Lesen Sie die Lizenzvereinbarung und klicken Sie **YES**. Sie müssen ganz bis zum Ende Blättern bevor Sie **YES** klicken können!
- 3) Klicken Sie **OK** im der MAX+plus II Copy Protection Fenster.
- 4) Wählen Sie **Options/License Setup**.
- 5) Wählen Sie Browse und gehen Sie zu dem Verzeichnis, in dem sich die Datei license.dat befindet (z.B. c:\baseline). Wählen Sie die Datei **license.dat** und klicken Sie **OK**.  
Die folgenden Funktionen sollten in der **Licensed Features** Box aufgelistet sein: Hierarchy Display, Message Processor, Text Editor, Graphic Editor, Symbol Editor, Floorplan Editor, Compiler, Timing Analyzer, Programmer, Classic Family, MAX 5000 Family, MAX 7000 Family, EDIF I/O, SVF/JAM Output
- 6) Klicken Sie **OK** um Ihre Änderungen abzuspeichern.

## **Installation des ByteBlaster in MAX+plus II**

- 1) Starten Sie MAX+plus II falls die Software nicht bereits läuft.
- 2) Wählen Sie **MAX+plus II/Programmer**
- 3) Solange keine Programmierhardware eingestellt wurde wird automatisch die Hardware Setup Box angezeigt. Zu einem späteren Zeitpunkt können Sie diese erforderlichenfalls unter **Options/Hardware Setup** aufrufen.
- 4) Wählen Sie **ByteBlaster** in der Hardware Type Box.
- 5) Wählen Sie die passende parallele Schnittstelle. Auf PCs mit Windows NT ist dieses Auswahlfeld nur zugänglich, wenn zunächst der Treiber für den Byteblaster installiert wurde.
- 6) Wählen Sie **OK** und schließen Sie das Programmer Fenster.

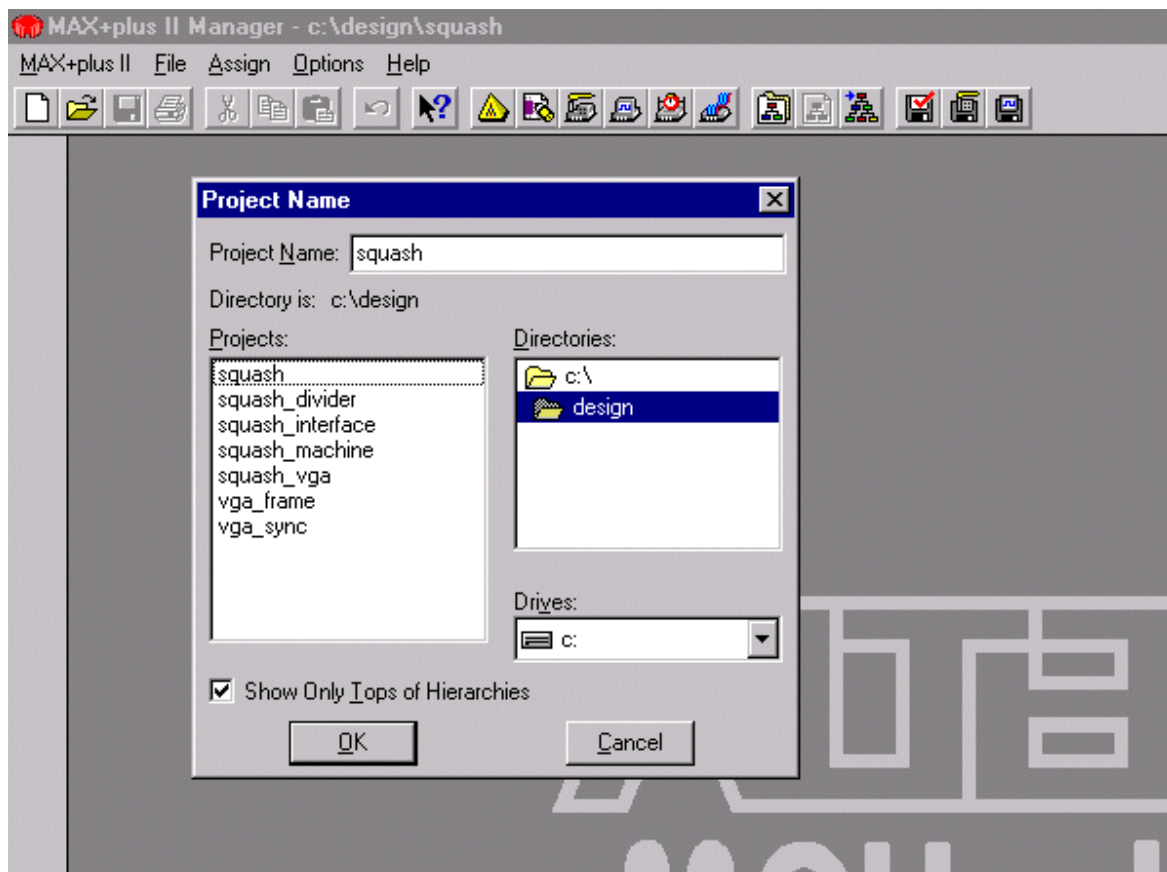
**Glückwunsch! Sie haben das MAX+plus II BASELINE Version 9.1 Entwicklungssystem für programmierbare Logik erfolgreich installiert und lizenziert.**

## Schaltungs-Beispiel

### Arbeiten mit der Demo-Schaltung

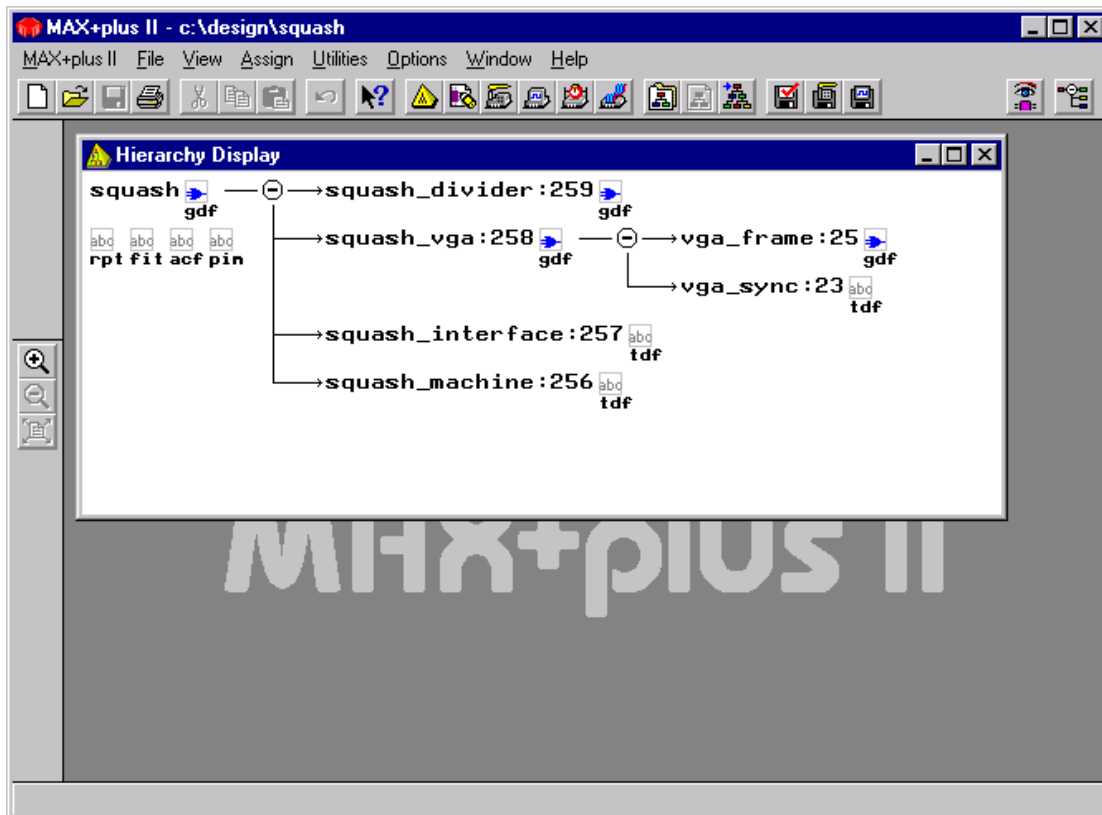
Kopieren Sie die Demo-Schaltung auf Ihre Festplatte, starten Sie MAX+plus II und wählen Sie die oberste Ebene als Ihr Projekt.

- 1) Kopieren Sie den Inhalt des Verzeichnisses “**design**” von der beiliegenden Diskette auf Ihre Festplatte.
- 2) Starten Sie die MAX+plus II Baseline Software
- 3) Wählen Sie **File/Project/Name** und gehen Sie zu dem Verzeichnis auf Ihrer Festplatte, das Sie unter 1) erstellt haben.
- 4) Wählen Sie **Squash** im Fenster Projects und klicken Sie auf **OK**.



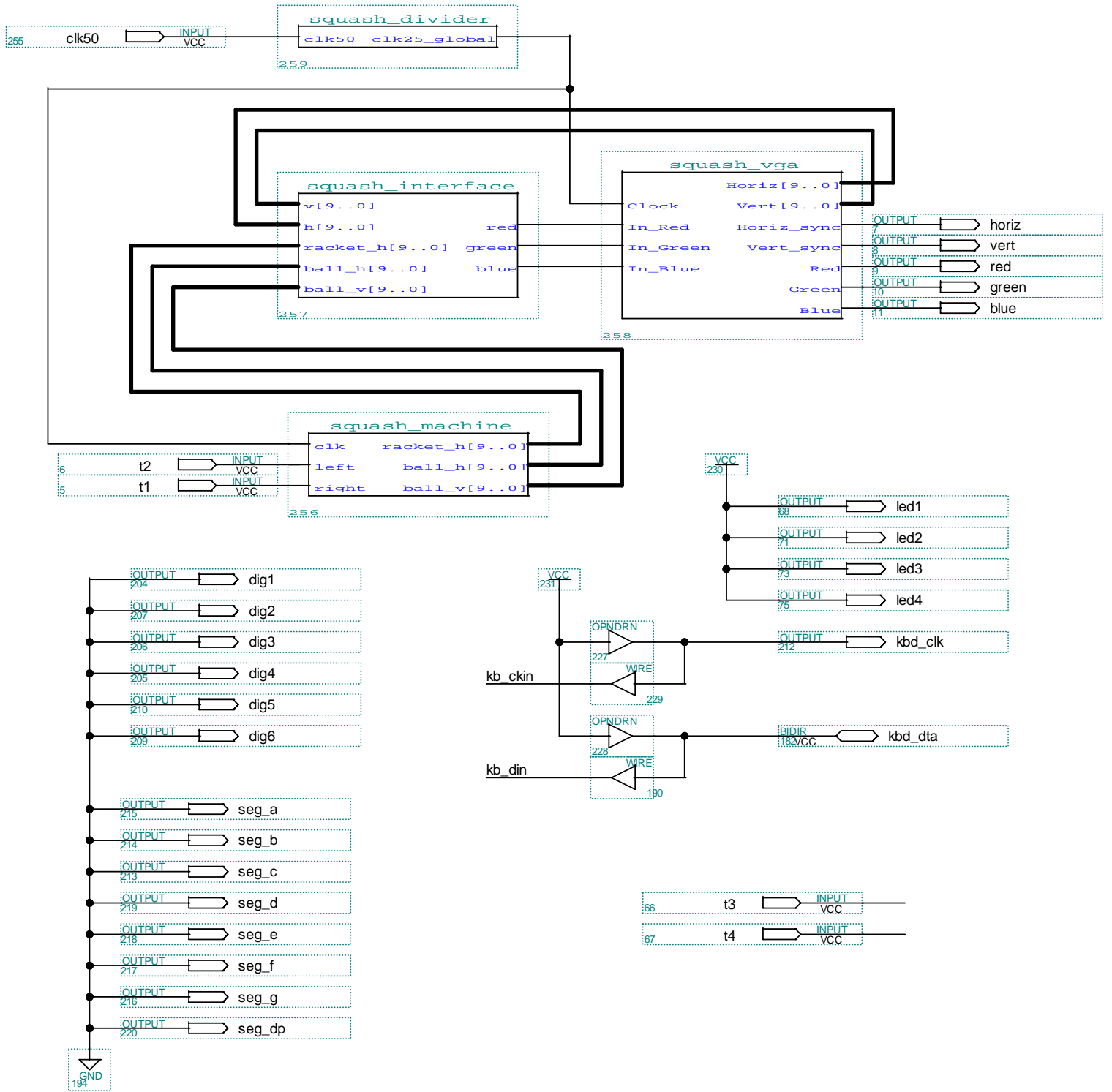


Wählen Sie **MAX+plus II/Hierarchy Display** um die hierarchische Struktur der gesamten Schaltung zu sehen.



Die Schaltung besteht aus diversen graphischen- (.gdf, graphic design file) und text- (.tdf, text design file) Dateien. Sie können durch die Hierarchie der Schaltung navigieren, indem Sie auf die Symbole in der Hierarchie-Anzeige doppel-klicken oder indem Sie auf Symbole in den Stromlaufplänen doppel-klicken.

## Stromlaufplan der obersten Ebene: "squash.gdf"



Alle tieferen Ebenen der Hierarchie beinhalten umfangreiche Kommentare, welche die Funktionalität des einzelnen Blockes beschreiben.

Alle erforderlichen „Assignments“ (z.B. Zuweisung der Pinbelegung) sind für das vorliegende Projekt bereits gesetzt. Diese Assignments können über verschiedene Menüs geändert werden. Die entsprechenden Werte sind in der Datei „squash.acf“ abgespeichert, in der sie auch direkt geändert werden können.

Klicken Sie auf das Symbol eines Pins in der obersten Ebene der Schaltung und gehen Sie zu **Assign/Pin/Location/Chip** um z.B. die Pinbelegung zu ändern.

Der Zielbaustein, ein EPF10K10LC84-4 wird unter **Assign/Device** spezifiziert.

Ohne irgendwelche Änderungen vorzunehmen können Sie **MAX+plus II/Compiler** wählen und **Start** betätigen um die Schaltung zu compilieren. Unter anderem werden eine Report-Datei, Timing Netzlisten für die statische Timing Analyse oder Simulation erzeugt und im letzten Modul, dem Assembler die Dateien „squash.sof“ und „squash.pof“. Die SOF Datei (SRAM Object File) enthält Konfigurationsdaten, die in den FLEX Baustein geladen werden können. Die POF Datei (Programmer Object File) enthält Programmierinformationen, die nötig sind um das optionale serielle Flash EPROM EPC2LC20 zu programmieren.

## Konfigurationsdaten in den FLEX Baustein laden

Die Demo Schaltung, die dem Digilab beiliegt wurde bereits compiliert und enthält eine Konfigurationsdatei (squash.sof). Sie können diese Datei verwenden um den FLEX Baustein zu konfigurieren, bevor Sie irgendwelche Änderungen vornehmen oder Ihr eigenes Projekt starten.

### Hardware Aufbau

- 1) Verbinden Sie das Digilab und die parallele Schnittstelle Ihres PCs mit dem beiliegendem Kabel
- 2) Verbinden Sie einen VGA Monitor mit dem VGA Ausgang des Digilab
- 3) Verbinden Sie das beiliegende Netzteil mit dem Digilab

### Software Einstellungen und Laden der Konfiguration

- 1) Kopieren Sie das Beispiel Verzeichnis (design) der beiliegenden Diskette auf Ihre Festplatte (falls nicht bereits geschehen).
- 2) Starten Sie MAX+plus II, wählen Sie **File/Project/Name**, gehen Sie zum eben erzeugten Verzeichnis auf Ihrer Festplatte, wählen Sie **squash** und anschließend **OK**.
- 3) Wählen Sie MAX+plus II/Programmer.  
Gehen Sie zu JTAG/Multi Device JTAG Chain Setup und wählen Sie Restore JCF. Wählen Sie squash.jcf und klicken Sie OK zweimal.

Die JTAG Chain Datei ist eine ASCII Datei (mit der Erweiterung .jcf), die den Aufbau der JTAG-Kette spezifiziert. Es sind dies Typ und Reihenfolge der Bausteine, sowie die Namen der optionalen Programmierdateien. Auf dem Digilab ist der EPF10K10 entweder der erste Baustein in der Kette oder er folgt dem optionalen seriellen Flash EPROM EPC2. Sie können entweder den EPF10K10 konfigurieren (SRAM Baustein) oder den optionalen EPC2 programmieren (Flash EPROM Baustein).

squash.jcf	EPF10K10 konfigurieren
squash_epc2.jcf	optionalen EPC2 programmieren

Stellen Sie sicher, daß die richtigen Jumper Einstellungen, wie im Kapitel 7 dokumentiert, gewählt sind. Das Digilab 10K10 kommt ohne EPC2 und der Standardeinstellung „FLEX10K Konfiguration, kein EPC2“.

- 4) Wählen Sie **JTAG/Multi Device JTAG Chain**. Wenn Sie zurück zu **JTAG** gehen sollte sich ein kleiner Haken neben **Multi Device JTAG Chain** befinden.  
Zur Konfiguration/Programmierung verwendet das Digilab eine JTAG Kette, die den EPF10K10 und den optionalen EPC2 enthält. Ist der Baustein EPC2 vorhanden und richtig programmiert, so konfiguriert sich der SRAM Baustein EPF10K10 nach dem Einschalten der Stromversorgung automatisch aus dem seriellen Flash EPROM EPC2.
- 5) Wählen Sie **Configure** im Programmer um den Ladevorgang des EPF10K10 zu starten. (Wählen Sie Program um das optionale serielle Flash EPROM EPC2 zu programmieren).

## MAX+plus II und Ihre Eigene Schaltung

### Weitere Dokumentation

Dem Digilab liegt die Altera Literatur CD, Dezember 1998 bei.

Auf dieser CD enthalten sind alle aktuellen Dokumentationen und Datenblätter von Altera. Darüber hinaus finden Sie weitere und neuere Informationen im WWW auf der Altera Homepage unter <http://www.altera.com>. Sie können von dort auch kostenlos neuere Versionen der MAX+plus II BASELINE Software beziehen.

#### <CD-Laufwerk>:\Man\Maxiigs.pdf

Auf der CDROM ist das MAX+plus II Getting Started Handbuch enthalten. Im Abschnitt 2 von Seite 73 bis Seite 154 finden Sie eine detaillierte Beschreibung der MAX+plus II Software. Abschnitt 3, auf den Seiten 155 bis 276 beschreibt anhand eines Beispiels die einzelnen Möglichkeiten und Bedienung des MAX+plus II Entwicklungssystems.

#### < CD-Laufwerk >:\Ds\Dsf10k.pdf

Unter dem angegebenen Pfad finden Sie ein Datenblatt zur Altera FLEX 10K Familie, die auch den, auf dem Digilab verwendeten EPF10K10LC84-4 beinhaltet.

#### < CD-Laufwerk >:\Ds\Dskonf.pdf

Dieses Datenblatt beschreibt unter anderem das optionale, Flash basierende und re-programmierbare serielle EPROM EPC2.

Um mit Ihrer eigenen Schaltung zu beginnen ist es unter Umständen ratsam einfach das mitgelieferte Beispiel als Grundlage zu verwenden und dieses abzuändern. Es enthält alle erforderlichen „Assignments“. Sie können die graphische Schaltung der obersten Ebene „squash.gdf“ verändern, Symbole löschen, aus den verschiedenen Bibliotheken neue hinzufügen und verbinden.

## Beschreibung der Leiterplatte

### Netzteil

Mit dem DIGILAB erhalten Sie ein Netzteil, ausreichend für die Beispiel-Schaltung. Abhängig von eigener, zusätzlicher Logik, höheren Frequenzen oder externen Verbrauchern kann es nötig sein den Strombedarf näher zu untersuchen und unter Umständen ein stärkeres Netzteil zu verwenden oder die Grenzen des Spannungsreglers zu beachten.

### LEDs

Das DIGILAB besitzt zwei LEDs, getrieben von Status-Ausgängen des FLEX 10K Bausteines, die den Zustand der Konfiguration anzeigen.

1. LD6, grün, CONF\_DONE  
Während der Konfiguration treibt der FLEX 10K Baustein am CONF\_DONE Ausgang logisch Null  
=> LED an  
Nachdem alle Konfigurationsdaten erfolgreich und ohne Fehler vom FLEX 10K Baustein empfangen wurden wird der CONF\_DONE Ausgang hochohmig.  
=> LED aus
2. LD5, rot, nSTATUS  
Der FLEX 10K Baustein treibt den nSTATUS Ausgang nach dem anlegen der Stromversorgung auf logisch Null und schaltet den Ausgang innerhalb von 100 ms hochohmig.  
=> LED an für 100 ms nach dem Einschalten  
Tritt ein Fehler während der Konfiguration auf wird der nSTATUS vom FLEX 10K Baustein auf logisch Null getrieben.  
=> LED an

### Steckverbinder

1. Stromversorgung – J6  
Verbinden Sie VCC mit dem inneren Stift und GND mit der äußeren Hülle der Stromversorgungsbuchse. Auf der Leiterplatte ist ein 5V Spannungsregler enthalten (7805). Sie können 7V bis 12V gleichgerichtete, unregelmäßige Spannung anlegen.
2. VGA – J7  
Der FLEX 10K Baustein kann horizontale und vertikale Sync. Signale treiben, sowie Signale für rot, grün und blau. Da auf dem Board kein Digital/Analog Konverter enthalten ist, können die einzelnen Farben je Pixel nur ein oder ausgeschaltet werden.

3. Tastatur – X2  
Sie können eine Standard PC-Tastatur an Ihr DIGILAB anschließen. Die Takt und Daten Signale sind mit dem FLEX 10K Baustein verbunden und Sie können eigene Logik zur Auswertung dieser Signale implementieren.
4. Parallele Schnittstelle – X1  
Verwenden Sie das beiliegende parallele Schnittstellen Kabel um die parallele Schnittstelle Ihres PCs mit der parallelen Schnittstelle des DIGILAB zu verbinden. Diese Schnittstelle wird verwendet, um den FLEX 10K Baustein zu konfigurieren, das serielle EPROM EPC2 zu programmieren oder das DIGILAB als Altera Byteblaster zu verwenden.
5. Download Kabel – J5  
Das DIGILAB kann einen Altera Byteblaster emulieren. Verbinden Sie das beiliegende Flachbandkabel mit dem Stecker J5. In diesem Modus stammt die Spannungsversorgung von der Ziel-Hardware und es ist nicht nötig das beiliegende Netzteil zu verwenden. Im „Byteblaster Parallel Port Download Cable“ Datenblatt (dsbyte.pdf) auf der beiliegenden CD-ROM finden Sie weitere Informationen zum Byteblaster und dessen Verwendung.

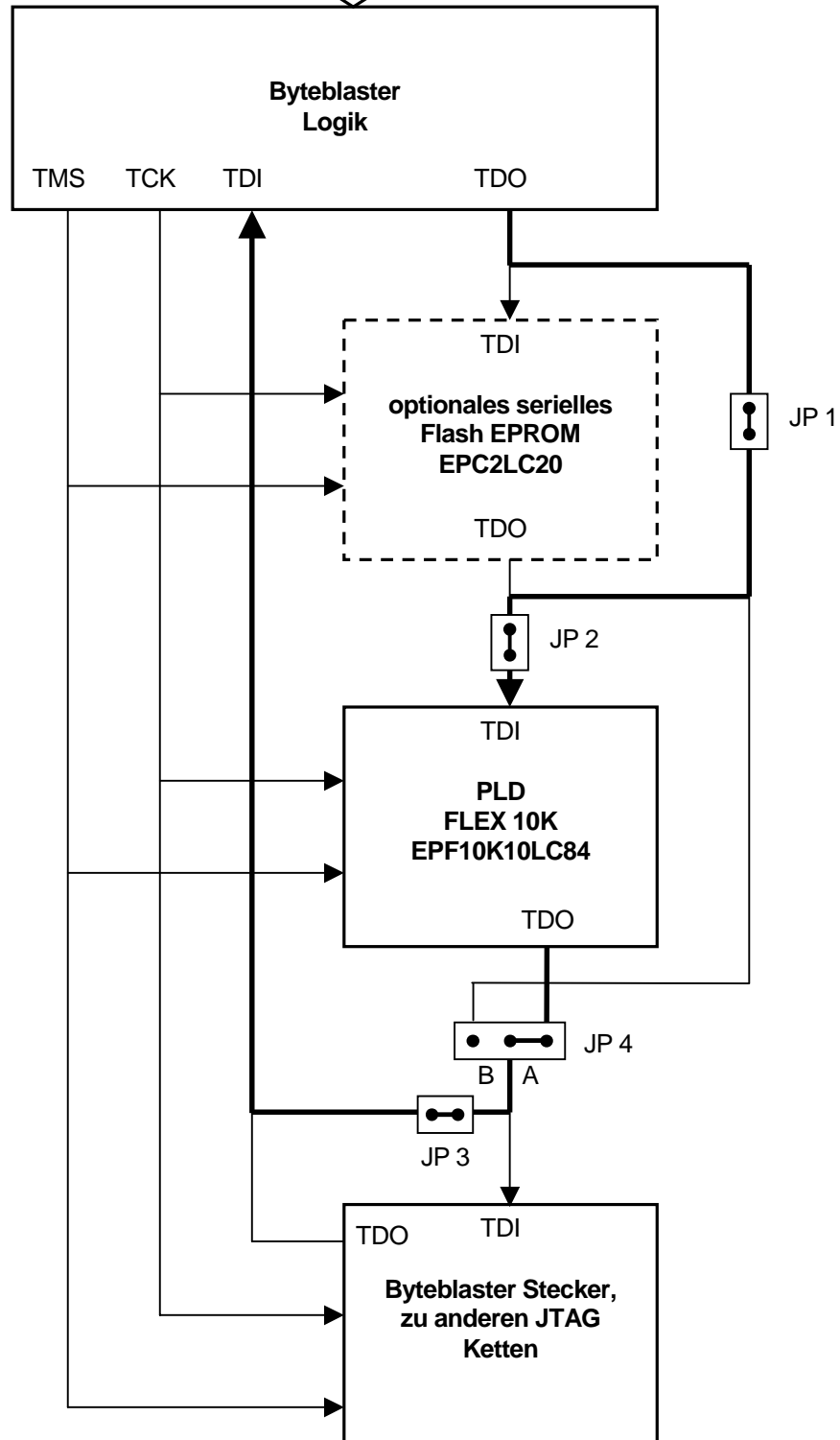
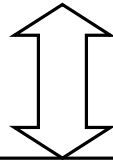
### Jumper Einstellungen

Das DIGILAB besitzt eine JTAG Kette zur Konfiguration des FLEX 10K Bausteines, der Programmierung des EPC2 bzw. der Verwendung als Altera Byteblaster. Die Jumper JP1 to JP4 erlauben, drei verschiedene Modi einzustellen.

	JP1	JP2	JP3	JP4	
FLEX 10K Konfiguration, kein EPC2	geschl.	geschl.	geschl.	A	standard
FLEX 10K Konfiguration und EPC2 Programmierung	offen	geschl.	geschl.	A	
Nur Download Kabel (FLEX 10K umgangen, EPC2 entfernt)	geschl.	offen	offen	B	

**Aufbau der JTAG Kette  
(Standard Jumper Einstellung)**

Zur parallelen  
Schnittstelle des PCs





## EPF10K10LC84-4 Pinbelegung (Teil 1):

Function	Config. Pin	Row	Col	J-lead 84-pin	User Pin	User Function
Ded. Config. Pin	CONF_DONE	-	-	76	J1-20	LED 6, gn
Ded. Config. Pin	nCEO	-	-	75	J1-21	
Ded. Config. Pin	nSTATUS	-	-	55	J4-20	LED 5, rd
Ded. Config. Pin	nCONFIG	-	-	34	J3-20	
Ded. Config. Pin	MSEL1	-	-	32	J2-1	
Ded. Config. Pin	MSEL0	-	-	31	J2-2	
Ded. Config. Pin	nCE	-	-	14	J2-19	
Ded. Config. Pin	DCLK	-	-	13	J2-20	
Ded. Config. Pin	DATA0	-	-	12	J2-21	
Ded. JTAG Pin	TCK	-	-	77	J1-19	
Ded. JTAG Pin	TDO	-	-	74	J4-1	
Ded. JTAG Pin	TMS	-	-	57	J4-18	
Ded. JTAG Pin	TRST	-	-	56	J4-19	
Ded. JTAG Pin	TDI	-	-	15	J2-18	
Ded. Input	-	-	-	44	J3-10	
Ded. Input	-	-	-	42	J3-12	
Ded. Input	-	-	-	2	J1-10	
Ded. Input	-	-	-	84	J1-12	
Ded. Input/GCLK	-	-	-	43	J3-11	50 MHz Clk
Ded. Input/GCLK	-	-	-	1	J1-11	
I/O	CLKUSR	A	-	73	J4-2	SEG_E
I/O	-	A	-	72	J4-3	SEG_G
I/O	-	A	-	71	J4-4	SEG_DP
I/O	RDYnBUSY	A	-	70	J4-5	SEG_B
I/O	INIT_DONE	A	-	69	J4-6	SEG_C
I/O	-	A	-	19	J2-14	
I/O	-	A	-	18	J2-15	
I/O	-	A	-	17	J2-16	
I/O	-	A	-	16	J2-17	
I/O	-	B	-	67	J4-8	SEG_A
I/O	-	B	-	66	J4-9	SEG_D
I/O	-	B	-	65	J4-10	SEG_F
I/O	-	B	-	64	J4-11	S4
I/O	-	B	-	25	J2-8	
I/O	-	B	-	24	J2-9	
I/O	-	B	-	23	J2-10	
I/O	-	B	-	22	J2-11	
I/O	-	B	-	21	J2-12	
I/O	-	C	-	62	J4-13	LED 4
I/O	-	C	-	61	J4-14	S3
I/O	-	C	-	60	J4-15	LED 3
I/O	-	C	-	59	J4-16	S2

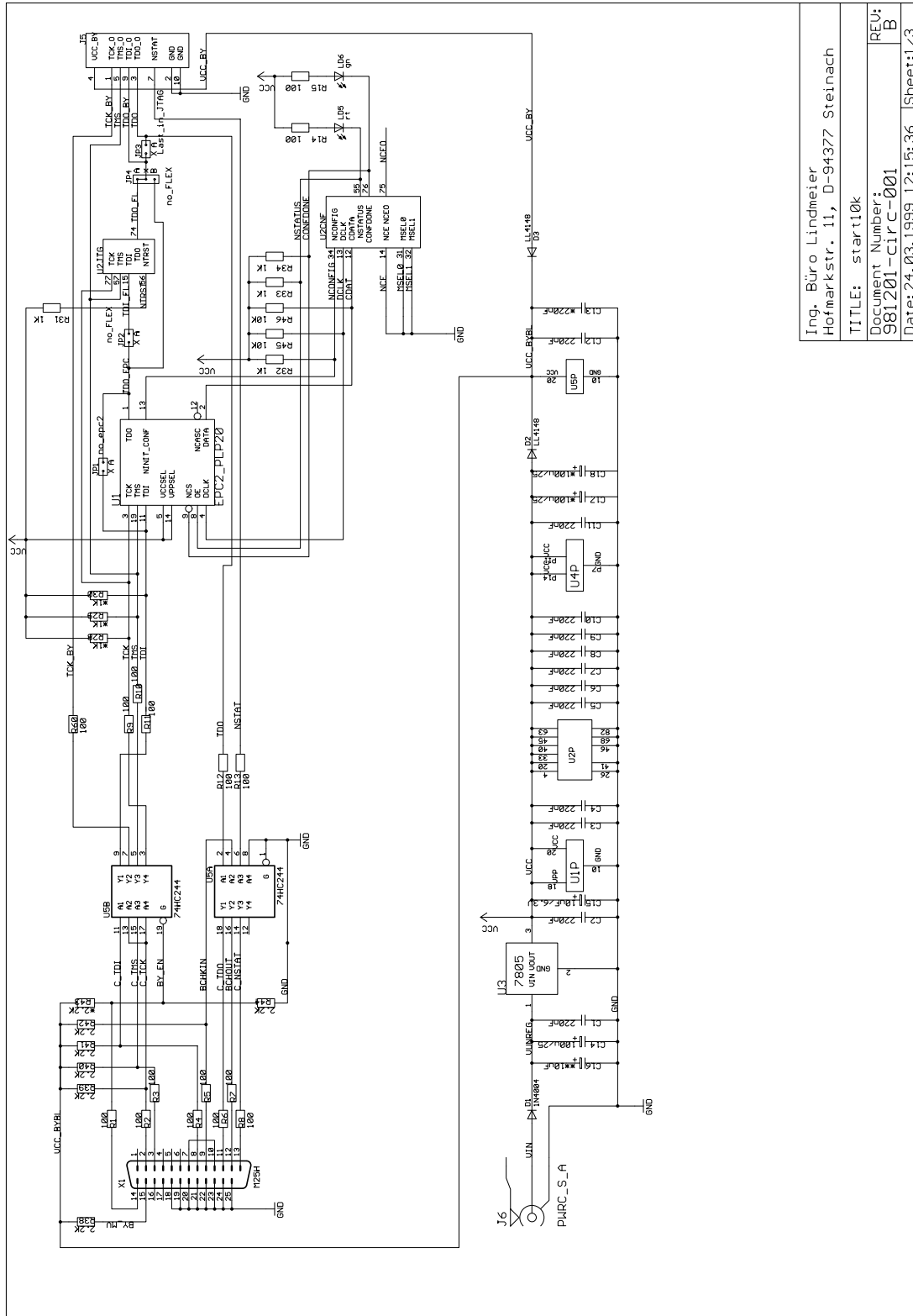
## EPF10K10LC84-4 Pinbelegung (Teil 2):

Function	Config. Pin	Row	Col	J-lead 84-pin	User Pin	User Function
I/O	-	C	-	58	J4-17	LED 2
I/O	-	C	-	30	J2-3	
I/O	-	C	-	29	J2-4	
I/O	-	C	-	28	J2-5	
I/O	-	C	-	27	J2-6	
I/O	DATA1	-	1	11	J1-1	
I/O	DATA2	-	1	10	J1-2	
I/O	DATA3	-	2	9	J1-3	
I/O	DATA4	-	3	8	J1-4	
I/O	DATA5	-	3	7	J1-5	
I/O	DATA6	-	4	6	J1-6	
I/O	DATA7	-	5	5	J1-7	DIG 1
I/O	-	-	6	35	J3-19	
I/O	-	-	7	36	J3-18	
I/O	-	-	9	37	J3-17	VGA_rd
I/O	-	-	10	38	J3-16	VGA_gn
I/O	-	-	11	39	J3-15	VGA_bl
I/O	DEV_CLRn	-	12	3	J1-9	
I/O	DEV_OE	-	13	83	J1-13	DIG 2
I/O	-	-	14	47	J3-7	VGA_v
I/O	-	-	15	48	J3-6	VGA_h
I/O	-	-	16	49	J3-5	
I/O	-	-	17	50	J3-4	
I/O	-	-	18	51	J3-3	KB_data
I/O	-	-	19	52	J3-2	KB_clk
I/O	-	-	20	53	J3-1	LED 1
I/O	-	-	21	54	J4-21	S 1
I/O	nRS	-	22	81	J1-15	DIG 6
I/O	nWS	-	23	80	J1-16	DIG 4
I/O	CS	-	24	79	J1-17	DIG 3
I/O	nCS	-	24	78	J1-18	DIG 5
VCCINT	-	-	-	4		
VCCINT	-	-	-	20		
VCCINT	-	-	-	33		
VCCINT	-	-	-	40		
VCCINT	-	-	-	45		
VCCINT	-	-	-	63		
GNDINT	-	-	-	26		
GNDINT	-	-	-	41		
GNDINT	-	-	-	46		
GNDINT	-	-	-	68		
GNDINT	-	-	-	82		

## Verbindungen zur Anwender-Logik

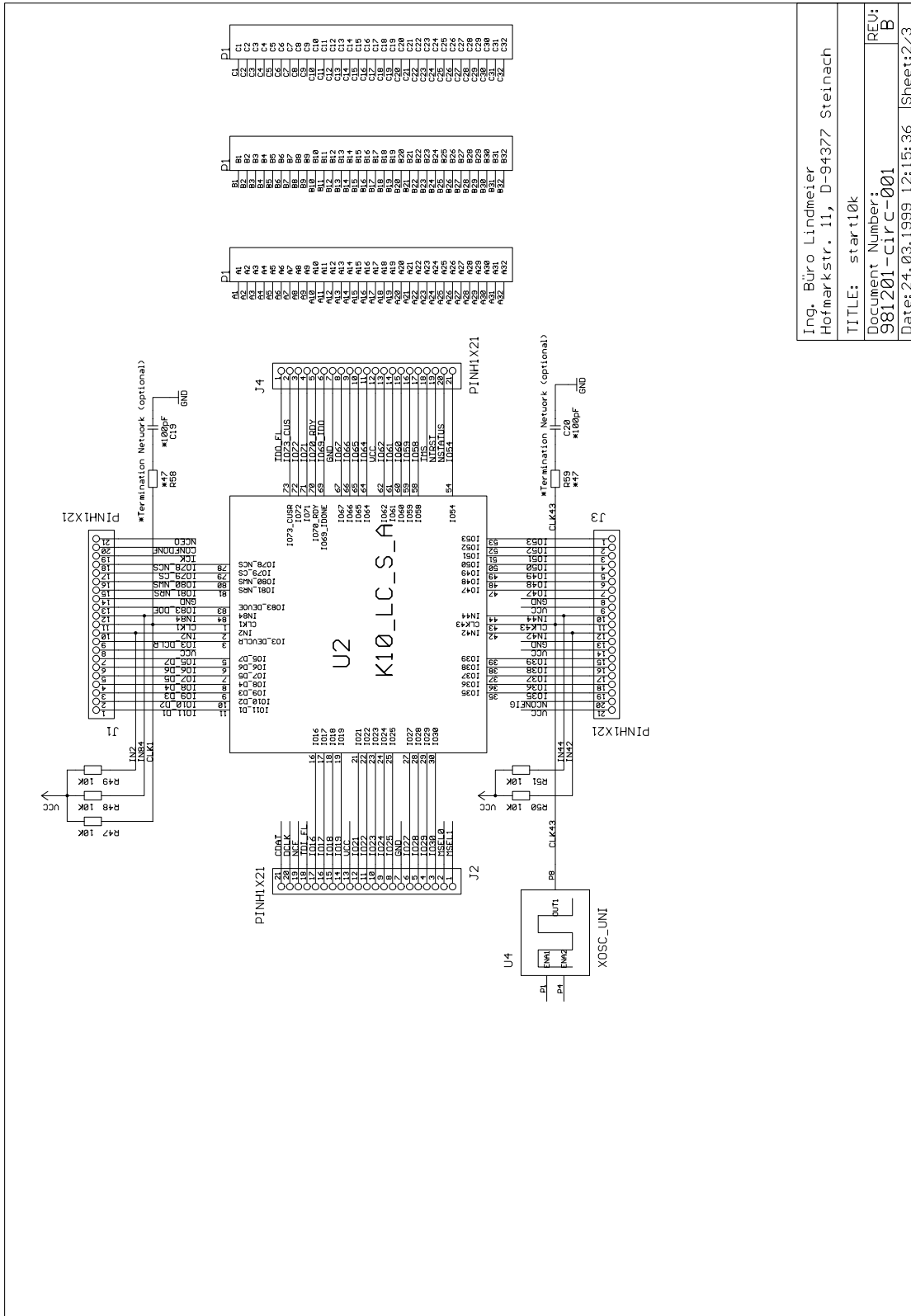
	<b>J1</b>	<b>J2</b>	<b>J3</b>	<b>J4</b>
<b>1</b>	IO11, D1	MSEL1	IO53	TDO
<b>2</b>	IO10, D2	MSEL0	IO52	IO73, CLKUSR
<b>3</b>	IO9, D3	IO30	IO51	IO72
<b>4</b>	IO8, D4	IO29	IO50	IO71
<b>5</b>	IO7, D5	IO28	IO49	IO70, RDYnBUSY
<b>6</b>	IO6, D6	IO27	IO48	IO69, INIT_DONE
<b>7</b>	IO5, D7	GND	IO47	GND
<b>8</b>	VCC	IO25	GNC	IO67
<b>9</b>	IO3, DEV_CLRn	IO24	VCC	IO66
<b>10</b>	Ded. Input	IO23	Ded. Input	IO65
<b>11</b>	Ded. Input/GCLK	IO22	Ded. Input/GCLK	IO64
<b>12</b>	IO84	IO21	Ded. Input	VCC
<b>13</b>	IO83, DEV_OE	VCC	GND	IO62
<b>14</b>	GND	IO19	VCC	IO61
<b>15</b>	IO81, nRS	IO18	IO39	IO60
<b>16</b>	IO80, nWS	IO17	IO38	IO59
<b>17</b>	IO79, CS	IO16	IO37	IO58
<b>18</b>	IO78, nCS	TDI	IO36	TMS
<b>19</b>	TCK	nCE	IO35	nTRST
<b>20</b>	CONF_DONE	DCLK	nCONFIG	nSTATUS
<b>21</b>	nCEO	DATA0	VCC	IO54

# Leiterplatte, Stromlauf, Seite 1



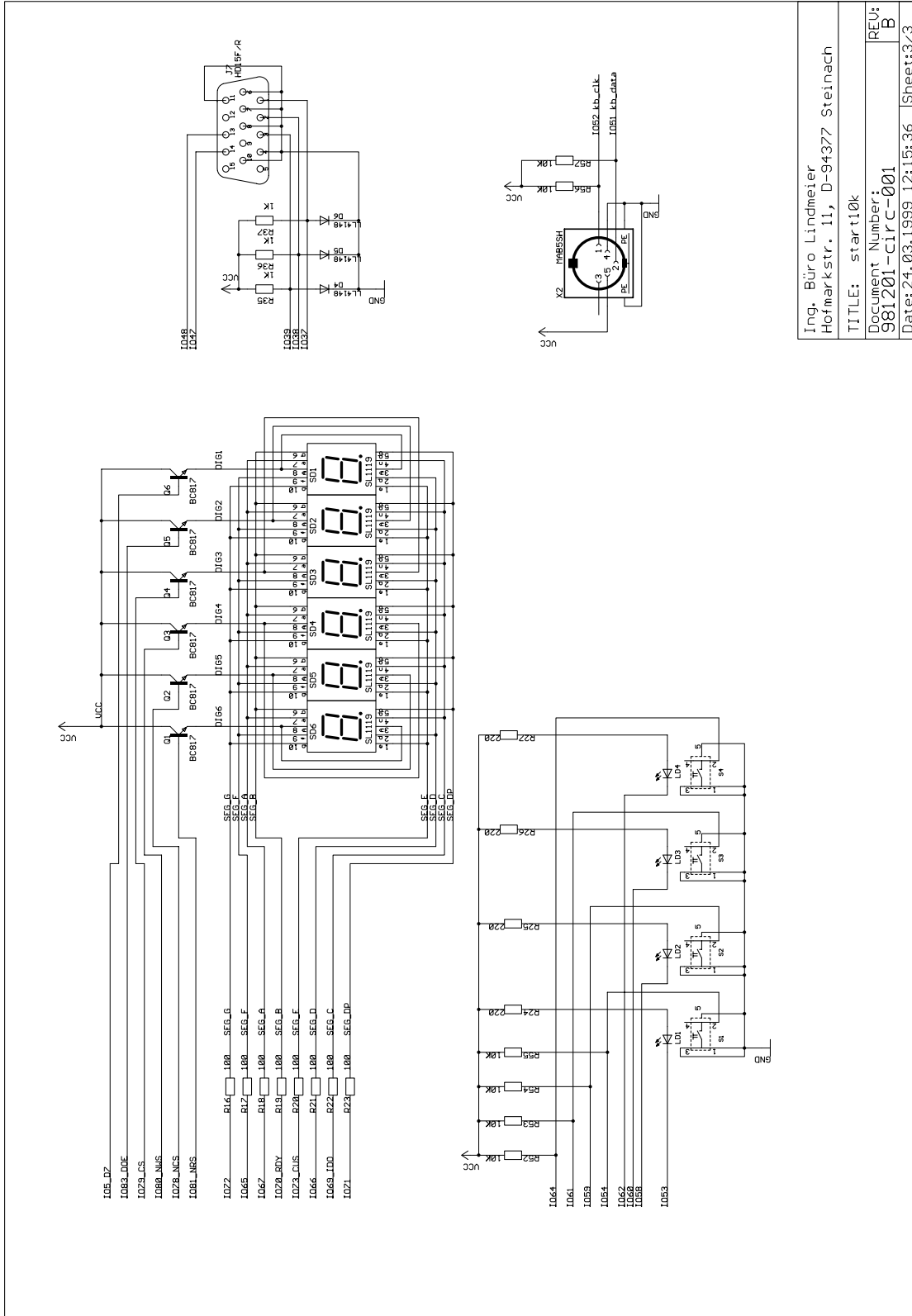
Ing. Büro Lindmeier  
 Hofmarkstr. 11, D-94377 Steinach  
 TITLE: start10k  
 Document Number:  
 981201-circ-001  
 Date: 24.03.1999 12:15:36 Sheet: 1/3

# Leiterplatte, Stromlauf, Seite 2



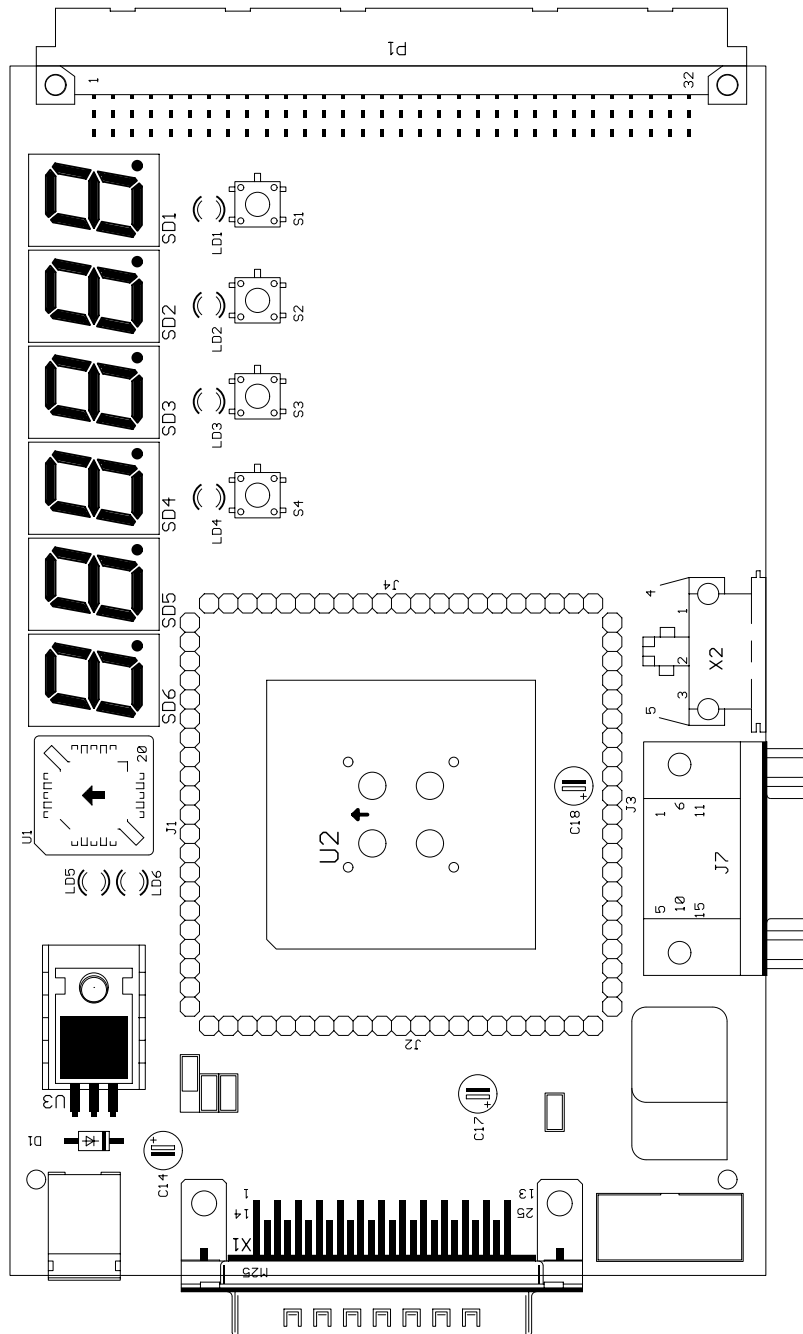
Ing. Büro Lindmeier  
 Hofmarkstr. 11, D-94377 Steinhach  
 TITLE: start10k  
 Document Number:  
 981201-C1RC-001  
 Date: 24.03.1999 12:15:36 Sheet: 2/3

# Leiterplatte, Stromlauf, Seite 3

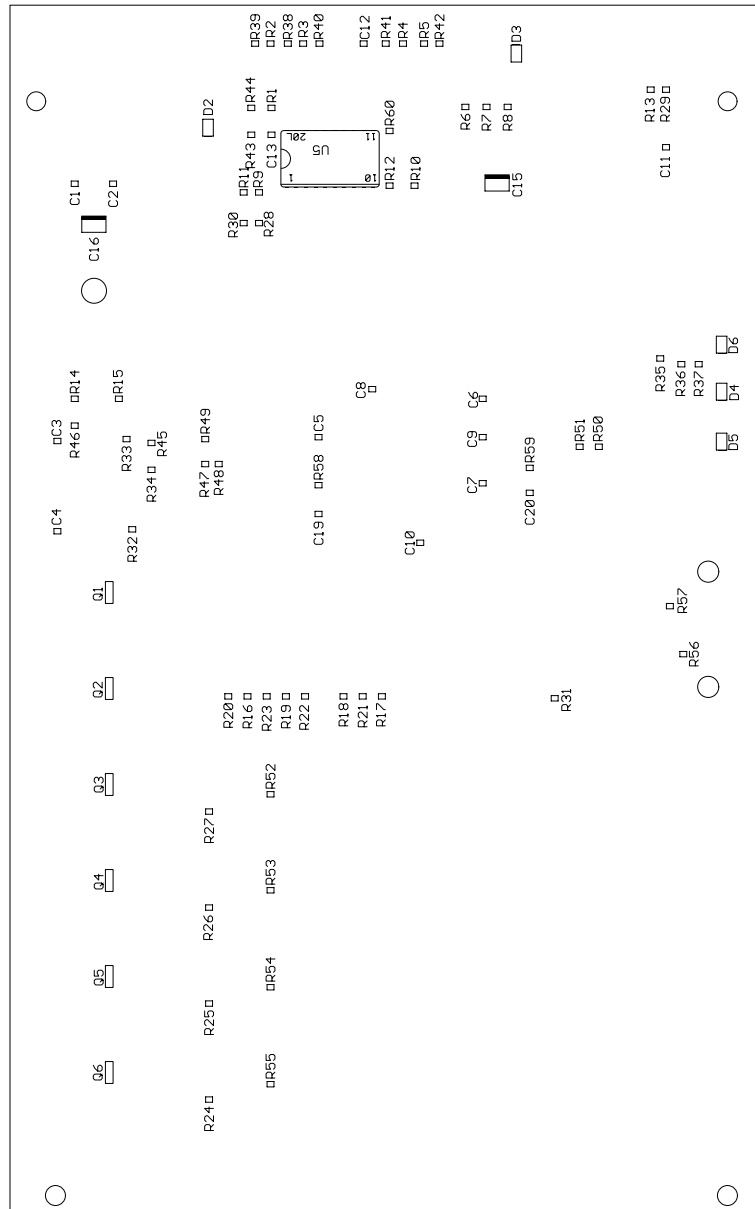


Ing. Büro Lindmeier  
Hofmarkstr. 11, D-94377 Steinhach  
TITLE: start10k  
Document Number:  
981201-C1RC-001  
Date: 24.03.1999 12:15:36 Sheet: 3/3

# Leiterplatte, Bauelemente Oberseite

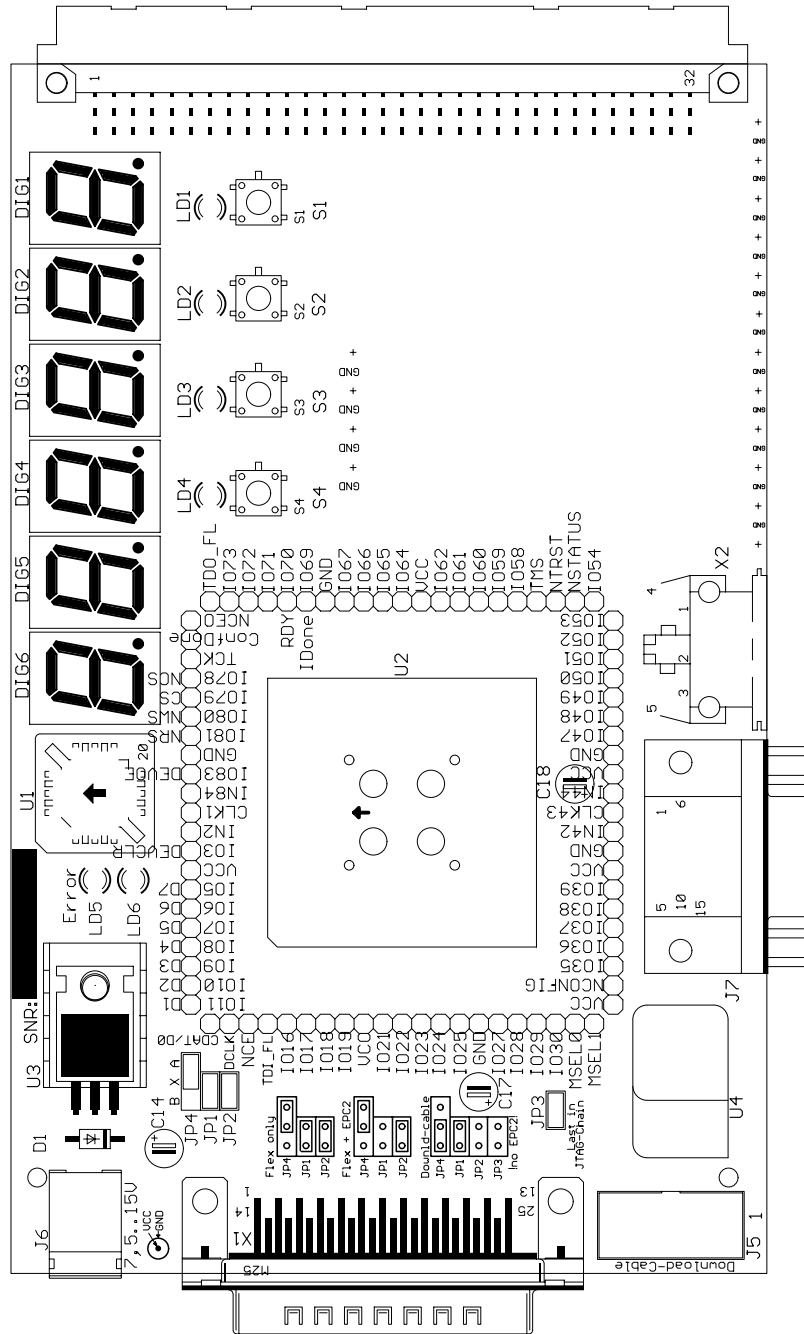


# Leiterplatte, Bauelemente Unterseite

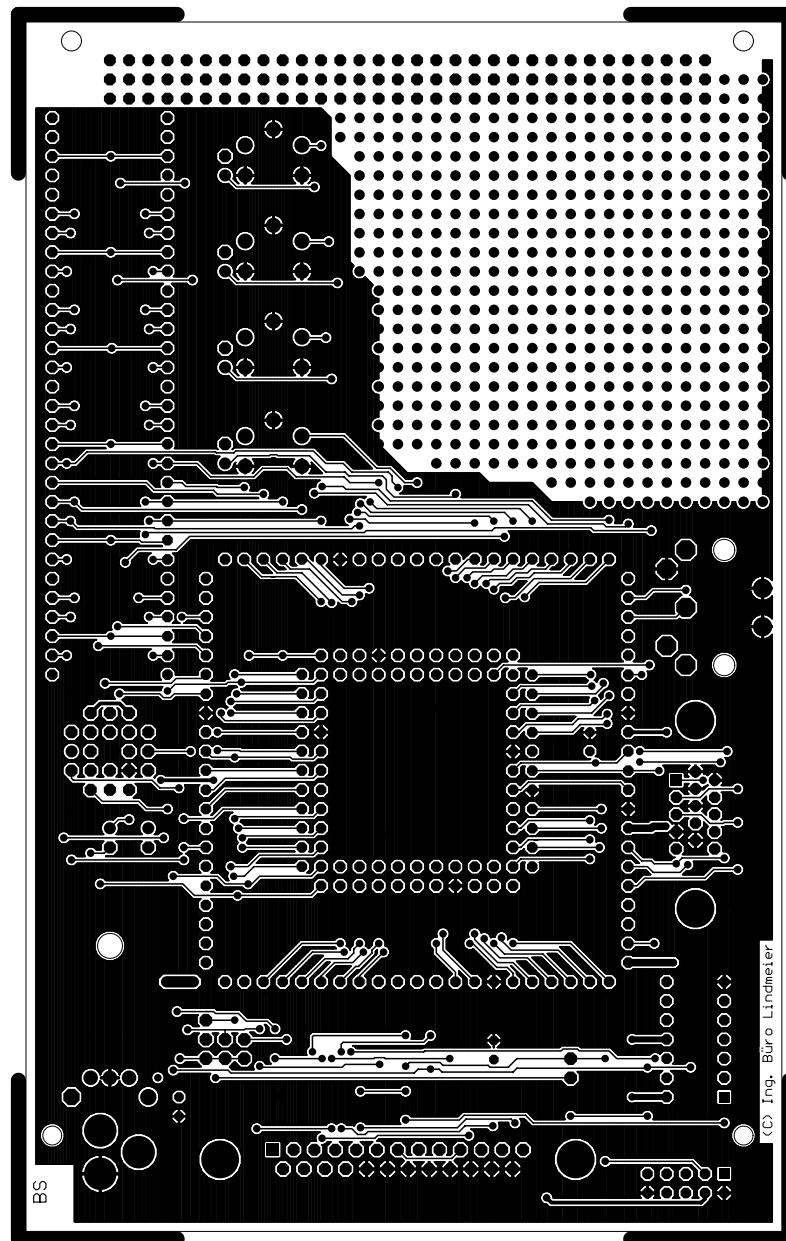




# Leiterplatte, Beschriftung Oberseite



## Leiterplatte, Layout Oberseite



## Leiterplatte, Layout Unterseite

